

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 6月19日

出願番号

Application Number:

特願2002-178674

[ST.10/C]:

[JP2002-178674]

RECEIVED

04 JUL 2003

WIPO

PCT

出願人

Applicant(s):

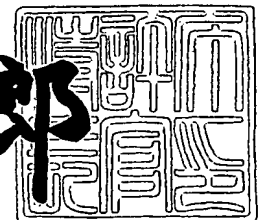
東京エレクトロンデバイス株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 4月25日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3031084

Best Available Copy

【書類名】 特許願

【整理番号】 JPP024001

【提出日】 平成14年 6月19日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 7/00
G11C 16/06

【発明者】

 【住所又は居所】 宮城県仙台市青葉区一番町 3 - 3 - 1 6 オーエックス
 芭蕉の辻ビル 東京エレクトロンデバイス株式会社内

 【氏名】 菊地 修一

【特許出願人】

 【識別番号】 500323188

 【氏名又は名称】 東京エレクトロンデバイス株式会社

【代理人】

 【識別番号】 100095407

 【弁理士】

 【氏名又は名称】 木村 満

【手数料の表示】

 【予納台帳番号】 038380

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0014440

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記憶装置、メモリ管理方法及びプログラム

【特許請求の範囲】

【請求項 1】

物理アドレスを割り当てられた、ユーザデータを記憶するための複数のメモリブロックを含む記憶手段と、

前記メモリブロックを構成するページの物理アドレスと、当該ページの論理アドレスとの対応付けを表すアドレス変換テーブルを記憶するテーブル記憶手段と

、
前記ページのうちからユーザデータを記憶可能な状態にある空きページを特定して、特定した空きページの物理アドレスを指示する書込ポインタを記憶する書込ページポイント手段と、

書き込み対象のデータ及び論理アドレスが自己に供給されたとき、当該書き込み対象のデータを、前記書込ポインタにより指示された空きページに書き込み、当該空きページの物理アドレスと当該論理アドレスとの対応付けを表すよう前記アドレス変換テーブルを更新する書込手段と、を備える、

ことを特徴とする記憶装置。

【請求項 2】

前記書込手段は、

ユーザデータを記憶しているメモリブロックのうちからデータを消去する対象のメモリブロックを指定する消去対象指定手段と、

前記消去対象指定手段により指定されたメモリブロックに記憶されているユーザデータが有効か否かを、当該指定されたメモリブロックを構成するページ毎に判別し、有効と判別したユーザデータを他のメモリブロックに転記してから、当該指定されたメモリブロックが記憶するデータを消去する消去手段と、を備える

ことを特徴とする請求項 1 に記載の記憶装置。

【請求項 3】

前記書込手段は、ユーザデータを記憶していないメモリブロックの数が所定条

件に満たない数になったか否かを判別する空きブロック数判別手段を備え、

前記消去対象指定手段は、ユーザデータを記憶していないメモリブロックの数が所定条件に満たない数になったと判別されたとき、ユーザデータを記憶しているメモリブロックのうちからデータを消去する対象のメモリブロックを指定する

ことを特徴とする請求項 2 に記載の記憶装置。

【請求項 4】

前記書込手段は、書き込み対象のデータ及び論理アドレスが自己に供給された時点で当該論理アドレスが割り当てられていたページに、当該ページに記憶されているユーザデータが無効なユーザデータであることを示す無効フラグを追記する手段を備え、

前記消去対象指定手段は、ユーザデータを記憶しているメモリブロックであって前記無効フラグを追記されているページを含んでいるもののうち、もっとも古いユーザデータを記憶しているメモリブロックを、データを消去する対象のメモリブロックとして指定する、

ことを特徴とする請求項 2 又は 3 に記載の記憶装置。

【請求項 5】

前記消去手段は、前記無効フラグを追記されているページが記憶するユーザデータを、前記他のメモリブロックへと転記する対象から除外する、

ことを特徴とする請求項 4 に記載の記憶装置。

【請求項 6】

物理アドレスは、当該物理アドレスが示すページが属するブロックを示すブロックアドレスを含んでいて、ブロックアドレスはサイクリックに順位付けされており、

前記消去対象指定手段は、ユーザデータを記憶しているメモリブロックのうち、最後にデータを消去されたブロック以降で先頭のブロックアドレスを与えられているものを、データを消去する対象のメモリブロックとして指定する、

ことを特徴とする請求項 2 又は 3 に記載の記憶装置。

【請求項 7】

前記書込手段は、書き込み対象のデータ及び論理アドレスが自己に供給された時点で当該論理アドレスが割り当てられていたページに、当該ページに記憶されているユーザデータが無効なユーザデータであることを示す無効フラグを追記する手段を備え、

前記消去手段は、前記無効フラグを追記されているページが記憶するユーザデータを、前記他のメモリブロックへと転記する対象から除外する、

ことを特徴とする請求項 6 に記載の記憶装置。

【請求項 8】

前記書込手段は、前記書き込み対象のデータを書き込んだページに、自己に供給された論理アドレスを書き込む手段を備え、

前記消去手段は、ページが記憶している論理アドレスと、前記アドレス変換テーブルにより当該ページの物理アドレスに対応付けられている論理アドレスとが一致するか否かを判別し、一致しないと判別したとき、当該ページが記憶するユーザデータを、前記他のメモリブロックへと転記する対象から除外する、

ことを特徴とする請求項 2 乃至 6 のいずれか 1 項に記載の記憶装置。

【請求項 9】

物理アドレスはサイクリックに順位付けされており、

前記書込ページポイント手段は、ユーザデータを書き込まれたページの物理アドレス以降の物理アドレスを与えられている空きページのうちの先頭の空きページを特定する、

ことを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の記憶装置。

【請求項 10】

読み出し対象のページの論理アドレスが自己に供給されたとき、前記アドレス変換テーブルに基づいて、当該論理アドレスに対応付けられた物理アドレスを特定し、特定した物理アドレスが示すページよりユーザデータを読み出して外部に出力する読出手段を備える、

ことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の記憶装置。

【請求項 11】

読み出し対象のページの論理アドレスが自己に供給されたとき、前記アドレス

変換テーブルに基づいて、当該論理アドレスを与えられたページを特定し、特定したページよりユーザデータを読み出して外部に出力する読出手段を備える、
ことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の記憶装置。

【請求項 1 2】

前記アドレス変換テーブルは、ページの物理アドレスの上位の所定桁分と、当該ページの論理アドレスとの対応付けを表すものであり、

前記書込手段は、前記書き込み対象のデータを書き込んだページに、自己に供給された論理アドレスを書き込む手段を備え、

前記読出手段は、読み出し対象のページの論理アドレスが自己に供給されたとき、前記アドレス変換テーブルに基づいて、当該論理アドレスに対応付けられた物理アドレスの上位の桁の値を特定し、物理アドレスの上位の桁が特定した値に一致する各ページのうち、当該読み出し対象のページの論理アドレスが書き込まれているページよりユーザデータを読み出して外部に出力する、

ことを特徴とする請求項 1 1 に記載の記憶装置。

【請求項 1 3】

前記書込手段は、書き込み対象のデータ及び論理アドレスが自己に供給された時点で当該論理アドレスが割り当てられていたページに、当該ページに記憶されているユーザデータが無効なユーザデータであることを示す無効フラグを追記する手段を備え、

前記読出手段は、物理アドレスの上位の桁が特定した値に一致する各ページのうち、当該読み出し対象のページの論理アドレスが書き込まれていて、且つ、前記無効フラグを追記されていないページよりユーザデータを読み出して外部に出力する、

ことを特徴とする請求項 1 2 に記載の記憶装置。

【請求項 1 4】

物理アドレスはサイクリックに順位付けされており、

前記書込ページポイント手段は、ユーザデータを書き込まれたページの物理アドレス以降の物理アドレスを与えられている空きページのうちの先頭の空きページを特定するものであり、

前記読出手段は、物理アドレスの上位の桁が特定した値に一致していて当該読み出し対象のページの論理アドレスが書き込まれているページのうち、もっとも順位の低いページよりユーザデータを読み出して外部に出力する、

ことを特徴とする請求項 1 2 に記載の記憶装置。

【請求項 1 5】

前記アドレス変換テーブルは、ページの物理アドレスの下位の所定桁分と、当該ページの論理アドレスとの対応付けを表すものであって、論理アドレスに対応付け得る物理アドレスの値の範囲は論理アドレス毎に定められており、

前記読出手段は、読み出し対象のページの論理アドレスが自己に供給されたとき、前記アドレス変換テーブルに基づいて、当該論理アドレスに対応付けられた物理アドレスの下位の桁の値を特定し、物理アドレスの下位の桁が特定した値に一致する各ページのうち、当該論理アドレスに対応付け得る範囲内の物理アドレスを与えられているページよりユーザデータを読み出して外部に出力する、

ことを特徴とする請求項 1 1 に記載の記憶装置。

【請求項 1 6】

前記テーブル記憶手段は、前記アドレス変換テーブルを記憶する不揮発性メモリより構成されている、

ことを特徴とする請求項 1 乃至 1 5 のいずれか 1 項に記載の記憶装置。

【請求項 1 7】

前記テーブル記憶手段は、前記アドレス変換テーブルを記憶する前記ページより構成されており、

前記書込手段は、当該ページから前記アドレス変換テーブルの少なくとも一部を読み出して、読み出した部分を、前記書込ポインタにより指示された空きページの物理アドレスと当該論理アドレスとの対応付けを表すよう更新して、更新した当該部分を他の空きページに書き込む変換テーブル更新手段を備える、

ことを特徴とする請求項 1 乃至 1 5 のいずれか 1 項に記載の記憶装置。

【請求項 1 8】

前記変換テーブル更新手段は、

前記アドレス変換テーブルを構成するデータを記憶するページの物理アドレス

を表すアドレス変換テーブル格納位置リストを記憶する手段と、

記憶した当該アドレス変換テーブル格納位置リストが示す物理アドレスを与えられたページから前記アドレス変換テーブルの少なくとも一部を読み出して、読み出した部分を、前記書込ポインタにより指示された空きページの物理アドレスと当該論理アドレスとの対応付けを表すよう更新して、更新した当該部分を他の空きページに書き込む手段と、

記憶した当該アドレス変換テーブル格納位置リストを、前記他の空きページの物理アドレスを表すよう更新する手段と、を備える、

ことを特徴とする請求項 17 に記載の記憶装置。

【請求項 19】

前記アドレス変換テーブルを構成するデータを記憶するページの物理アドレスの上位の桁の値の範囲は予め定められており、

前記変換テーブル更新手段は、

前記アドレス変換テーブルを構成するデータを記憶するページの物理アドレスの下位の所定桁分を表すアドレス変換テーブル格納位置リストを記憶する手段と

、
記憶した当該アドレス変換テーブル格納位置リストにより物理アドレスの下位の桁が特定されるページのうち、上位の桁が当該範囲にあるページから前記アドレス変換テーブルの少なくとも一部を読み出して、読み出した部分を、前記書込ポインタにより指示された空きページの物理アドレスと当該論理アドレスとの対応付けを表すよう更新して、更新した当該部分を他の空きページに書き込む手段と、

記憶した当該アドレス変換テーブル格納位置リストを、前記他の空きページの物理アドレスを表すよう更新する手段と、を備える、

ことを特徴とする請求項 17 に記載の記憶装置。

【請求項 20】

前記変換テーブル更新手段は、前記アドレス変換テーブルを記憶するページのうちから、自己に供給された論理アドレスと前記物理アドレスとの対応付けを表す部分を記憶するページを特定し、特定したページが記憶する部分のみを読み出

して、読み出した部分を、前記書込ポインタにより指示された空きページの物理アドレスと当該論理アドレスとの対応付けを表すよう更新して、更新した当該部分を他の空きページに書き込む、

ことを特徴とする請求項 17、18 又は 19 に記載の記憶装置。

【請求項 21】

前記ユーザデータが記憶されていないメモリブロックを識別する情報を含む空きブロックテーブルを記憶する不揮発性メモリを更に備え、

前記書込手段は、

自己に供給された書き込み対象のデータを空きページに書き込む結果、当該空きページを含むメモリブロックから空きページが無くなったか否かを判別し、減少したと判別したとき、当該空きページを含むメモリブロックが前記ユーザデータを記憶していることを示すように前記空きブロックテーブルを更新する手段と

記憶するデータを前記消去手段により消去されたメモリブロックが前記ユーザデータを記憶していないことを示すように前記空きブロックテーブルを更新する手段と、を備える、

ことを特徴とする請求項 3 乃至 20 のいずれか 1 項に記載の記憶装置。

【請求項 22】

一部の前記ページは、ユーザデータが記憶されていないメモリブロックを識別する情報を含む空きブロックテーブルを記憶する空きブロックテーブル記憶手段を構成しており、

前記書込手段は、

自己に供給された書き込み対象のデータを空きページに書き込む結果、当該空きページを含むメモリブロックから空きページが無くなったか否かを判別し、減少したと判別したとき、前記空きブロックテーブル記憶手段より前記空きブロックテーブルの少なくとも一部を読み出して、当該空きページを含むメモリブロックが前記ユーザデータを記憶していることを示すように前記空きブロックテーブルを更新して、更新後の空きブロックテーブルを前記空きブロックテーブル記憶手段に記憶させる手段と、

前記空きブロックテーブル記憶手段より前記空きブロックテーブルの少なくとも一部を読み出して、記憶するデータを前記消去手段により消去されたメモリブロックが前記ユーザデータを記憶していないことを示すように前記空きブロックテーブルを更新して、更新後の空きブロックテーブルを前記空きブロックテーブル記憶手段に記憶させる手段と、を備える、

ことを特徴とする請求項 3 乃至 20 のいずれか 1 項に記載の記憶装置。

【請求項 23】

前記書込手段は、前記空きブロックテーブルを構成するデータを記憶するページの物理アドレスを表す空きブロックテーブルポインタを記憶する手段を備え、記憶した当該空きブロックテーブルポインタが示す物理アドレスを与えられたページから前記空きブロックテーブルの少なくとも一部を読み出すものである、

ことを特徴とする請求項 22 に記載の記憶装置。

【請求項 24】

前記空きブロックテーブルを構成するデータを記憶するページの物理アドレスの上位の桁の値の範囲は予め定められており、

前記書込手段は、前記空きブロックテーブルを構成するデータを記憶するページの物理アドレスの下位の所定桁分を表す空きブロックテーブルポインタを記憶する手段を備え、記憶した当該空きブロックテーブルポインタにより物理アドレスの下位の桁が特定されるページのうち、上位の桁が当該範囲にあるページから前記空きブロックテーブルの少なくとも一部を読み出すものである、

ことを特徴とする請求項 22 に記載の記憶装置。

【請求項 25】

前記書込手段は、前記空きブロックテーブルを記憶するページのうちから、前記空きブロックテーブルのうち更新すべき部分を記憶するページを特定し、特定したページが記憶する部分のみを読み出すものである、

ことを特徴とする請求項 22、23 又は 24 に記載の記憶装置。

【請求項 26】

物理アドレスを割り当てられた、ユーザデータを記憶するための複数のメモリブロックを管理するためのメモリ管理方法であって、

前記メモリブロックを構成するページの物理アドレスと、当該ページの論理アドレスとの対応付けを表すアドレス変換テーブルを記憶するテーブル記憶ステップと、

前記ページのうちからユーザデータを記憶可能な状態にある空きページを特定して、特定した空きページの物理アドレスを指示する書込ポインタを記憶する書込ページポイントステップと、

書き込み対象のデータ及び論理アドレスが供給されたとき、当該書き込み対象のデータを、前記書込ポインタにより指示された空きページに書き込み、当該空きページの物理アドレスと当該論理アドレスとの対応付けを表すよう前記アドレス変換テーブルを更新する書込ステップと、を含む、

ことを特徴とするメモリ管理方法。

【請求項 2 7】

前記書込ステップは、

ユーザデータを記憶しているメモリブロックのうちからデータを消去する対象のメモリブロックを指定する消去対象指定ステップと、

前記消去対象指定ステップで指定されたメモリブロックに記憶されているユーザデータが有効か否かを、当該指定されたメモリブロックを構成するページ毎に判別し、有効と判別したユーザデータを他のメモリブロックに転記してから、当該指定されたメモリブロックが記憶するデータを消去する消去ステップと、を含む、

ことを特徴とする請求項 2 6 に記載のメモリ管理方法。

【請求項 2 8】

前記書込ステップは、ユーザデータを記憶していないメモリブロックの数が所定条件に満たない数になったか否かを判別する空きブロック数判別ステップを含み、

前記消去対象指定ステップでは、ユーザデータを記憶していないメモリブロックの数が所定条件に満たない数になったと判別されたとき、ユーザデータを記憶しているメモリブロックのうちからデータを消去する対象のメモリブロックを指定する、

ことを特徴とする請求項 2 7 に記載のメモリ管理方法。

【請求項 2 9】

物理アドレスを割り当てられた、ユーザデータを記憶するための複数のメモリブロックを含む記憶手段に接続されたコンピュータを、

前記メモリブロックを構成するページの物理アドレスと、当該ページの論理アドレスとの対応付けを表すアドレス変換テーブルを記憶するテーブル記憶手段と

前記ページのうちからユーザデータを記憶可能な状態にある空きページを特定して、特定した空きページの物理アドレスを指示する書込ポインタを記憶する書込ページポイント手段と、

書き込み対象のデータ及び論理アドレスが自己に供給されたとき、当該書き込み対象のデータを、前記書込ポインタにより指示された空きページに書き込み、当該空きページの物理アドレスと当該論理アドレスとの対応付けを表すよう前記アドレス変換テーブルを更新する書込手段と、

して機能させるためのプログラム。

【請求項 3 0】

前記書込手段は、

ユーザデータを記憶しているメモリブロックのうちからデータを消去する対象のメモリブロックを指定する消去対象指定手段と、

前記消去対象指定手段により指定されたメモリブロックに記憶されているユーザデータが有効か否かを、当該指定されたメモリブロックを構成するページ毎に判別し、有効と判別したユーザデータを他のメモリブロックに転記してから、当該指定されたメモリブロックが記憶するデータを消去する消去手段と、を備える

ことを特徴とする請求項 2 9 に記載のプログラム。

【請求項 3 1】

前記書込手段は、ユーザデータを記憶していないメモリブロックの数が所定条件に満たない数になったか否かを判別する空きブロック数判別手段を備え、

前記消去対象指定手段は、ユーザデータを記憶していないメモリブロックの数

が所定条件に満たない数になったと判別されたとき、ユーザデータを記憶しているメモリブロックのうちからデータを消去する対象のメモリブロックを指定する

ことを特徴とする請求項 3 0 に記載のプログラム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、記憶装置、メモリ管理方法及びプログラムに関し、特に、ブロック消去型の記憶装置、ブロック消去型の記憶装置の記憶領域を管理するメモリ管理方法及びプログラムに関する。

【 0 0 0 2 】

【従来の技術】

コンピュータ等によりアクセス（データの読み書き及び消去）可能な記録媒体として、EEPROM（Electrically Erasable/Programable Read Only Memory）フラッシュメモリが用いられている。

フラッシュメモリは、データの消去が、所定の記憶容量の単位（一般に「ブロック」と呼ばれる）で行われる。

【 0 0 0 3 】

フラッシュメモリのうち、特にNAND型のものは、データの記憶が正常に行えない不良ブロックの発生を製造段階で十分に防止することが困難である。このため、従来より、各ブロックに割り当てられる物理アドレスとは別個の連続した論理アドレスを正常なブロックに動的に割り当て、論理アドレスとの対応関係を表すアドレス変換テーブルを作成して、アドレスが不連続となることによる外部からのアクセス手順の複雑化を回避している。

【 0 0 0 4 】

物理アドレスの割り当てはブロック単位で行われ、論理アドレスからページを特定する場合は、論理アドレスに対応付けられた物理アドレスに加え、ブロック内でのページの順位を示すページアドレスを併用して、ページを特定している。（なお、同一ブロック内では先頭のセクタから順にデータを格納していくものと

すれば、連続して供給されるデータ（例えば、1 個のファイルを構成するデータ）は、同一ブロック内の連続したページに格納される。）従って、データを書き換える際には、書き換える対象のデータが格納されるページの、ブロック内での順位がそのまま保たれるように配慮する必要がある。

【 0 0 0 5 】

具体的には、書き換える対象のデータを格納する転記元のブロックから、書き換えの対象でないデータを、転記先の空きブロックへと、データの順序が保たれるようにして転記する。つまり、 n をページの順位として、転記元のブロックの n 番目のページにあったデータは転記先の n 番目のページに転記する。また、書き換えの対象であるデータは、書き換え後のデータが書き換え前のデータの順序を保つようにして書き換える。つまり、 m をページの順位として、転記元のブロックの m 番目のページにあったデータを書き換えたデータを、転記先の m 番目のページに転記する。そして、転記元のブロックをフラッシュイレースする（すなわち、記憶内容を消去する）、という操作を行う。

【 0 0 0 6 】

【発明が解決しようとする課題】

しかし、このような操作を行うと、データ量が 1 ブロック分の記憶容量に比べて非常に小さなファイルを書き換える場合には、このファイルと無関係なデータを格納するページや、データを格納していない空きページを大量に含んだブロックがフラッシュイレースされる。

【 0 0 0 7 】

NAND 型のフラッシュメモリは、大容量の構成を安価に実現できる一方、フラッシュイレースを繰り返すことにより劣化し、データの読み書きが正常にできなくなる、という特徴がある。このため、上述の操作を行うと、少量のデータの書き換えのために効率の悪いフラッシュイレースが頻繁に行われることになり、フラッシュメモリの劣化が早まる。

【 0 0 0 8 】

特に、OS (Operating System) が、ハードディスク装置やフレキシブルディスクの記憶内容を管理するのと同様の手法でフラッシュメモリの記憶内容を管理

する場合には、OSが管理する各データとこれらデータが記憶されている論理アドレスとの対応関係を示すFAT (File Allocation Table) 等がフラッシュメモリに書き込まれ、頻繁に更新される。FATのデータ量は、通常、1ブロック分の記憶容量に比べて非常に小さいので、FATの書き換えに伴って、効率の悪いフラッシュイレースが頻繁に行われる。

【0009】

この発明は上記実状に鑑みてなされたもので、劣化が起きにくい記憶装置や、記憶装置の劣化を起こしにくいメモリ管理方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

上記目的を達成するため、本発明の第1の観点に係る記憶装置は、物理アドレスを割り当てられた、ユーザデータを記憶するための複数のメモリブロックを含む記憶手段と、

前記メモリブロックを構成するページの物理アドレスと、当該ページの論理アドレスとの対応付けを表すアドレス変換テーブルを記憶するテーブル記憶手段と

前記ページのうちからユーザデータを記憶可能な状態にある空きページを特定して、特定した空きページの物理アドレスを指示する書込ポインタを記憶する書込ページポインタ手段と、

書き込み対象のデータ及び論理アドレスが自己に供給されたとき、当該書き込み対象のデータを、前記書込ポインタにより指示された空きページに書き込み、当該空きページの物理アドレスと当該論理アドレスとの対応付けを表すよう前記アドレス変換テーブルを更新する書込手段と、を備える、

ことを特徴とする。

【0011】

このような記憶装置によれば、ユーザデータの書き込みはページ単位で行われるので、ユーザデータを書き込む毎に新たな空きブロック（ユーザデータを記憶していないブロック）を探索して書き込むという操作が不要になる。従って、ユーザデータの書き込みが古いデータの消去を伴う場合（具体的には、ユーザデー

タの書き換えを行う場合)でも、メモリブロックの効率の悪いフラッシュイレースが行われずに済み、記憶装置の劣化が起きにくい。

【0012】

前記書込手段は、例えば、

ユーザデータを記憶しているメモリブロックのうちからデータを消去する対象のメモリブロックを指定する消去対象指定手段と、

前記消去対象指定手段により指定されたメモリブロックに記憶されているユーザデータが有効か否かを、当該指定されたメモリブロックを構成するページ毎に判別し、有効と判別したユーザデータを他のメモリブロックに転記してから、当該指定されたメモリブロックが記憶するデータを消去する消去手段と、

を備えることにより、古いデータの消去を伴うユーザデータの書き込みを行えばよい。

【0013】

前記書込手段は、ユーザデータを記憶していないメモリブロックの数が所定条件に満たない数になったか否かを判別する空きブロック数判別手段を備えているものとし、

この場合、前記消去対象指定手段は、ユーザデータを記憶していないメモリブロックの数が所定条件に満たない数になったと判別されたとき、ユーザデータを記憶しているメモリブロックのうちからデータを消去する対象のメモリブロックを指定するものとするれば、空きブロックの数が十分にあるうちはデータの消去を行わないので、無用のフラッシュイレースが避けられる。

【0014】

前記消去対象指定手段は、ユーザデータを記憶しているメモリブロックのうちもっとも古いユーザデータを記憶しているメモリブロックを、データを消去する対象のメモリブロックとして指定するものとするれば、各メモリブロックがフラッシュイレースされる頻度が均等になる。従って、特定のメモリブロックが集中的に劣化することにより記憶装置全体の寿命が短くなる、ということが防止される。

【0015】

物理アドレスは、当該物理アドレスが示すページが属するブロックを示すブロックアドレスを含んでいて、ブロックアドレスはサイクリックに順位付けされていてよい。

この場合、前記消去対象指定手段は、ユーザデータを記憶しているメモリブロックのうち、最後にデータを消去されたブロック以降で先頭のブロックアドレスを与えられているものを、データを消去する対象のメモリブロックとして指定するものとすれば、メモリブロックはブロックアドレス順にフラッシュイレースされ、各メモリブロックのフラッシュイレースの頻度が均等になる。

【0016】

前記書込手段は、書き込み対象のデータ及び論理アドレスが自己に供給された時点で当該論理アドレスが割り当てられていたページに、当該ページに記憶されているユーザデータが無効なユーザデータであることを示す無効フラグを追記する手段を備えていてもよい。

この場合、前記消去手段は、前記無効フラグを追記されているページが記憶するユーザデータを、前記他のメモリブロックへと転記する対象から除外するものとすれば、メモリブロックがフラッシュイレースされた時点で、無効なユーザデータは記憶装置の記憶領域から消去される。

【0017】

前記書込手段は、前記書き込み対象のデータを書き込んだページに、自己に供給された論理アドレスを書き込む手段を備えていてもよい。

この場合、前記消去手段は、ページが記憶している論理アドレスと、前記アドレス変換テーブルにより当該ページの物理アドレスに対応付けられている論理アドレスとが一致するか否かを判別し、一致しないと判別したとき、当該ページが記憶するユーザデータを、前記他のメモリブロックへと転記する対象から除外するものとすれば、メモリブロックがフラッシュイレースされた時点で、無効なユーザデータは記憶装置の記憶領域から消去される。

【0018】

物理アドレスはサイクリックに順位付けされていてよい。

この場合、前記書込ページポイント手段は、ユーザデータを書き込まれたペー

ジの物理アドレス以降の物理アドレスを与えられている空きページのうちの先頭の空きページを特定するものとすれば、データの書き込みは物理アドレス順に行われるので、特定のメモリブロックに書き込みが集中することが避けられ、従って、書き込みが集中したメモリブロックにフラッシュイレースの機会が集中することが避けられる。

【0019】

前記記憶装置は、例えば、読み出し対象のページの論理アドレスが自己に供給されたとき、前記アドレス変換テーブルに基づいて、当該論理アドレスに対応付けられた物理アドレスを特定し、特定した物理アドレスが示すページよりユーザデータを読み出して外部に出力する読出手段を備えるものであってもよい。

【0020】

また、前記記憶装置は、例えば、読み出し対象のページの論理アドレスが自己に供給されたとき、前記アドレス変換テーブルに基づいて、当該論理アドレスを与えられたページを特定し、特定したページよりユーザデータを読み出して外部に出力する読出手段を備えるものであってもよい。

【0021】

前記アドレス変換テーブルは、ページの物理アドレスの上位の所定桁分と、当該ページの論理アドレスとの対応付けを表すものとすれば、物理アドレスの情報量が小さくて済むため、アドレス変換テーブルを格納するための記憶領域が節約され、記憶装置全体も小型になる。

そしてこの場合、前記書込手段は、例えば、前記書き込み対象のデータを書き込んだページに、自己に供給された論理アドレスを書き込む手段を備えてもよく

前記読出手段は、例えば、読み出し対象のページの論理アドレスが自己に供給されたとき、前記アドレス変換テーブルに基づいて、当該論理アドレスに対応付けられた物理アドレスの上位の桁の値を特定し、物理アドレスの上位の桁が特定した値に一致する各ページのうち、当該読み出し対象のページの論理アドレスが書き込まれているページよりユーザデータを読み出して外部に出力するものであればよい。

【0022】

前記書込手段は、書き込み対象のデータ及び論理アドレスが自己に供給された時点で当該論理アドレスが割り当てられていたページに、当該ページに記憶されているユーザデータが無効なユーザデータであることを示す無効フラグを追記する手段を備えていてもよい。

この場合、前記読出手段は、例えば、物理アドレスの上位の桁が特定した値に一致する各ページのうち、当該読み出し対象のページの論理アドレスが書き込まれていて、且つ、前記無効フラグを追記されていないページよりユーザデータを読み出して外部に出力するものであればよい。

【0023】

物理アドレスはサイクリックに順位付けされていてもよい。

この場合、

前記書込ページポイント手段は、ユーザデータを書き込まれたページの物理アドレス以降の物理アドレスを与えられている空きページのうちの先頭の空きページを特定するものであってもよく、

前記読出手段は、物理アドレスの上位の桁が特定した値に一致していて当該読み出し対象のページの論理アドレスが書き込まれているページのうち、もっとも順位の低いページよりユーザデータを読み出して外部に出力するものであってもよい。

【0024】

前記アドレス変換テーブルは、ページの物理アドレスの下位の所定桁分と、当該ページの論理アドレスとの対応付けを表すものであって、論理アドレスに対応付け得る物理アドレスの値の範囲は論理アドレス毎に定められているものとした場合も、物理アドレスの情報量が小さくて済むため、アドレス変換テーブルを格納するための記憶領域が節約され、記憶装置全体も小型になる。

この場合、前記読出手段は、例えば、読み出し対象のページの論理アドレスが自己に供給されたとき、前記アドレス変換テーブルに基づいて、当該論理アドレスに対応付けられた物理アドレスの下位の桁の値を特定し、物理アドレスの下位の桁が特定した値に一致する各ページのうち、当該論理アドレスに対応付け得る

範囲内の物理アドレスを与えられているページよりユーザデータを読み出して外部に出力するものであればよい。

【 0 0 2 5 】

前記テーブル記憶手段は、前記アドレス変換テーブルを記憶する不揮発性メモリより構成されていてもよい。このような構成を有することにより、前記記憶装置は、起動するたびにアドレス変換テーブルを記憶し直す必要がなくなる。

【 0 0 2 6 】

前記テーブル記憶手段は、前記アドレス変換テーブルを記憶する前記ページより構成されていてもよい。このような構成を有する場合も、前記記憶装置は、起動するたびにアドレス変換テーブルを記憶し直す必要がなくなる。

この場合、前記書込手段は、例えば、当該ページから前記アドレス変換テーブルの少なくとも一部を読み出して、読み出した部分を、前記書込ポインタにより指示された空きページの物理アドレスと当該論理アドレスとの対応付けを表すよう更新して、更新した当該部分を他の空きページに書き込む変換テーブル更新手段を備えていけばよい。

【 0 0 2 7 】

前記変換テーブル更新手段は、前記アドレス変換テーブルを構成するデータを記憶するページの物理アドレスを表すアドレス変換テーブル格納位置リストを記憶する手段を備えていてもよい。

この場合、前記変換テーブル更新手段は、例えば、

記憶した当該アドレス変換テーブル格納位置リストが示す物理アドレスを与えられたページから前記アドレス変換テーブルの少なくとも一部を読み出して、読み出した部分を、前記書込ポインタにより指示された空きページの物理アドレスと当該論理アドレスとの対応付けを表すよう更新して、更新した当該部分を他の空きページに書き込む手段と、

記憶した当該アドレス変換テーブル格納位置リストを、前記他の空きページの物理アドレスを表すよう更新する手段と、を備えることにより、アドレス変換テーブルの参照を行えばよい。

【 0 0 2 8 】

前記アドレス変換テーブルを構成するデータを記憶するページの物理アドレスの上位の桁の値の範囲は予め定められているものとするれば、アドレス変換テーブル格納位置リストの情報量が小さくて済むため、アドレス変換テーブル格納位置リストを格納するための記憶領域が節約され、記憶装置全体も小型になる。

この場合、前記変換テーブル更新手段は、例えば、

前記アドレス変換テーブルを構成するデータを記憶するページの物理アドレスの下位の所定桁分を表すアドレス変換テーブル格納位置リストを記憶する手段と

記憶した当該アドレス変換テーブル格納位置リストにより物理アドレスの下位の桁が特定されるページのうち、上位の桁が当該範囲にあるページから前記アドレス変換テーブルの少なくとも一部を読み出して、読み出した部分を、前記書込ポインタにより指示された空きページの物理アドレスと当該論理アドレスとの対応付けを表すよう更新して、更新した当該部分を他の空きページに書き込む手段と、

記憶した当該アドレス変換テーブル格納位置リストを、前記他の空きページの物理アドレスを表すよう更新する手段と、を備えることにより、アドレス変換テーブルの参照を行えばよい。

【0029】

前記変換テーブル更新手段は、前記アドレス変換テーブルを記憶するページのうちから、自己に供給された論理アドレスと前記物理アドレスとの対応付けを表す部分を記憶するページを特定し、特定したページが記憶する部分のみを読み出して、読み出した部分を、前記書込ポインタにより指示された空きページの物理アドレスと当該論理アドレスとの対応付けを表すよう更新して、更新した当該部分を他の空きページに書き込むものであってもよい。

このような構成を有していれば、アドレス変換テーブルを参照する必要が生じるたびにアドレス変換テーブルの全体を逐一読み出す、という操作が行われないので、アドレス変換テーブルへのアクセスに費やされる時間が短縮される。

【0030】

前記記憶装置は、前記ユーザデータが記憶されていないメモリブロックを識別

する情報を含む空きブロックテーブルを記憶する不揮発性メモリを更に備えていてもよい。このような構成を有していれば、前記記憶装置は、起動するたびに空きブロックテーブルを再構築する必要がない。

この場合、前記書込手段は、例えば、

自己に供給された書き込み対象のデータを空きページに書き込む結果、当該空きページを含むメモリブロックから空きページが無くなったか否かを判別し、減少したと判別したとき、当該空きページを含むメモリブロックが前記ユーザデータを記憶していることを示すように前記空きブロックテーブルを更新する手段と

記憶するデータを前記消去手段により消去されたメモリブロックが前記ユーザデータを記憶していないことを示すように前記空きブロックテーブルを更新する手段と、を備えることにより、空きブロックテーブルの参照を行えばよい。

【0031】

一部の前記ページは、ユーザデータが記憶されていないメモリブロックを識別する情報を含む空きブロックテーブルを記憶する空きブロックテーブル記憶手段を構成していてもよい。このような構成を有する場合も、前記記憶装置は、起動するたびに空きブロックテーブルを再構築する必要がない。

この場合、前記書込手段は、例えば、

自己に供給された書き込み対象のデータを空きページに書き込む結果、当該空きページを含むメモリブロックから空きページが無くなったか否かを判別し、減少したと判別したとき、前記空きブロックテーブル記憶手段より前記空きブロックテーブルの少なくとも一部を読み出して、当該空きページを含むメモリブロックが前記ユーザデータを記憶していることを示すように前記空きブロックテーブルを更新して、更新後の空きブロックテーブルを前記空きブロックテーブル記憶手段に記憶させる手段と、

前記空きブロックテーブル記憶手段より前記空きブロックテーブルの少なくとも一部を読み出して、記憶するデータを前記消去手段により消去されたメモリブロックが前記ユーザデータを記憶していないことを示すように前記空きブロックテーブルを更新して、更新後の空きブロックテーブルを前記空きブロックテーブ

ル記憶手段に記憶させる手段と、を備えることにより、空きブロックテーブルの参照を行えばよい。

【0032】

前記書込手段は、前記空きブロックテーブルを構成するデータを記憶するページの物理アドレスを表す空きブロックテーブルポインタを記憶する手段を備えていてもよい。

この場合、前記書込手段は、例えば、記憶した当該空きブロックテーブルポインタが示す物理アドレスを与えられたページから前記空きブロックテーブルの少なくとも一部を読み出すことにより、空きブロックテーブルの参照を行えばよい。

【0033】

前記空きブロックテーブルを構成するデータを記憶するページの物理アドレスの上位の桁の値の範囲は予め定められているものとすれば、空きブロックテーブルポインタの情報量が小さくて済むため、空きブロックテーブルポインタを格納するための記憶領域が節約され、記憶装置全体も小型になる。

この場合、前記書込手段は、例えば、前記空きブロックテーブルを構成するデータを記憶するページの物理アドレスの下位の所定桁分を表す空きブロックテーブルポインタを記憶する手段を備え、記憶した当該空きブロックテーブルポインタにより物理アドレスの下位の桁が特定されるページのうち、上位の桁が当該範囲にあるページから前記空きブロックテーブルの少なくとも一部を読み出すようにすることで、空きブロックテーブルの参照を行えばよい。

【0034】

前記書込手段は、前記空きブロックテーブルを記憶するページのうちから、前記空きブロックテーブルのうち更新すべき部分を記憶するページを特定し、特定したページが記憶する部分のみを読み出すものであってもよい。

このような構成を有していれば、空きブロックテーブルを参照する必要が生じるたびに空きブロックテーブルの全体を逐一読み出す、という操作が行われないので、空きブロックテーブルへのアクセスに費やされる時間が短縮される。

【0035】

また、本発明の第2の観点に係るメモリ管理方法は、

物理アドレスを割り当てられた、ユーザデータを記憶するための複数のメモリブロックを管理するためのメモリ管理方法であって、

前記メモリブロックを構成するページの物理アドレスと、当該ページの論理アドレスとの対応付けを表すアドレス変換テーブルを記憶するテーブル記憶ステップと、

前記ページのうちからユーザデータを記憶可能な状態にある空きページを特定して、特定した空きページの物理アドレスを指示する書込ポインタを記憶する書込ページポイントステップと、

書き込み対象のデータ及び論理アドレスが供給されたとき、当該書き込み対象のデータを、前記書込ポインタにより指示された空きページに書き込み、当該空きページの物理アドレスと当該論理アドレスとの対応付けを表すよう前記アドレス変換テーブルを更新する書込ステップと、を含む、

ことを特徴とする。

【0036】

このようなメモリ管理方法によれば、ユーザデータの書き込みはページ単位で行われるので、ユーザデータを書き込む毎に新たな空きブロック（ユーザデータを記憶していないブロック）を探索して書き込むという操作が不要になる。従って、ユーザデータの書き込みが古いデータの消去を伴う場合（具体的には、ユーザデータの書き換えを行う場合）でも、メモリブロックの効率の悪いフラッシュイレースが行われずに済み、メモリブロックを有する装置の劣化が起きにくい。

【0037】

前記書込ステップは、

ユーザデータを記憶しているメモリブロックのうちからデータを消去する対象のメモリブロックを指定する消去対象指定ステップと、

前記消去対象指定ステップで指定されたメモリブロックに記憶されているユーザデータが有効か否かを、当該指定されたメモリブロックを構成するページ毎に判別し、有効と判別したユーザデータを他のメモリブロックに転記してから、当該指定されたメモリブロックが記憶するデータを消去する消去ステップと、

を含むことにより、古いデータの消去を伴うユーザデータの書き込みを行えばよい。

【0038】

前記書込ステップは、ユーザデータを記憶していないメモリブロックの数が所定条件に満たない数になったか否かを判別する空きブロック数判別ステップを含み、前記消去対象指定ステップでは、ユーザデータを記憶していないメモリブロックの数が所定条件に満たない数になったと判別されたとき、ユーザデータを記憶しているメモリブロックのうちからデータを消去する対象のメモリブロックを指定するものとすれば、空きブロックの数が十分にあるうちはデータの消去が行われないので、無用のフラッシュイレースが避けられる。

【0039】

また、本発明の第3の観点に係るプログラムは、

物理アドレスを割り当てられた、ユーザデータを記憶するための複数のメモリブロックを含む記憶手段に接続されたコンピュータを、

前記メモリブロックを構成するページの物理アドレスと、当該ページの論理アドレスとの対応付けを表すアドレス変換テーブルを記憶するテーブル記憶手段と

前記ページのうちからユーザデータを記憶可能な状態にある空きページを特定して、特定した空きページの物理アドレスを指示する書込ポインタを記憶する書込ページポイント手段と、

書き込み対象のデータ及び論理アドレスが自己に供給されたとき、当該書き込み対象のデータを、前記書込ポインタにより指示された空きページに書き込み、当該空きページの物理アドレスと当該論理アドレスとの対応付けを表すよう前記アドレス変換テーブルを更新する書込手段と、

して機能させるためのものであることを特徴とする。

【0040】

このようなプログラムを実行するコンピュータによれば、ユーザデータの書き込みはページ単位で行われるので、ユーザデータを書き込む毎に新たな空きブロック（ユーザデータを記憶していないブロック）を探索して書き込むという操作

が不要になる。従って、ユーザデータの書き込みが古いデータの消去を伴う場合（具体的には、ユーザデータの書き換えを行う場合）でも、メモリブロックの効率の悪いフラッシュイレースが行われずに済み、記憶装置の劣化が起きにくい。

【 0 0 4 1 】

前記書込手段は、例えば、

ユーザデータを記憶しているメモリブロックのうちからデータを消去する対象のメモリブロックを指定する消去対象指定手段と、

前記消去対象指定手段により指定されたメモリブロックに記憶されているユーザデータが有効か否かを、当該指定されたメモリブロックを構成するページ毎に判別し、有効と判別したユーザデータを他のメモリブロックに転記してから、当該指定されたメモリブロックが記憶するデータを消去する消去手段と、

を備えることにより、古いデータの消去を伴うユーザデータの書き込みを行えばよい。

【 0 0 4 2 】

前記書込手段は、ユーザデータを記憶していないメモリブロックの数が所定条件に満たない数になったか否かを判別する空きブロック数判別手段を備え、前記消去対象指定手段は、ユーザデータを記憶していないメモリブロックの数が所定条件に満たない数になったと判別されたとき、ユーザデータを記憶しているメモリブロックのうちからデータを消去する対象のメモリブロックを指定するものとするれば、空きブロックの数が十分にあるうちはデータの消去を行わないので、無用のフラッシュイレースが避けられる。

【 0 0 4 3 】

【発明の実施の形態】

以下、この発明の実施の形態を、フラッシュメモリを備えた記憶システムを例とし、図面を参照して説明する。

【 0 0 4 4 】

図 1 は、この発明の実施の形態にかかる記憶システムの物理的構成を示すブロック図である。

図示するように、この記憶システムは、メモリユニット 1 と、コンピュータ 2

とから構成されている。メモリユニット 1 は、コンピュータ 2 が備えるスロットを介して、コンピュータ 2 に着脱可能に装着されている。

コンピュータ 2 が備えるスロットは、例えば、PCMCIA バスを中継するための PCMCIA スロットからなる。

【 0 0 4 5 】

メモリユニット 1 は、フラッシュメモリ 1 1 及びコントローラ 1 2 からなる。

【 0 0 4 6 】

フラッシュメモリ 1 1 は、例えば、EEPROM (Electrically Erasable/Programmable Read Only Memory) 等の記憶装置からなる。

フラッシュメモリ 1 1 は、コントローラ 1 2 が行うアクセスに応答し、コンピュータ 2 から供給されたデータの記憶と、記憶しているデータのコンピュータ 2 への供給と、記憶しているデータの消去とを行う。

【 0 0 4 7 】

フラッシュメモリ 1 1 が有する記憶領域は、例えば図 2 に示すように 5 2 4 2 8 8 個のページからなり、各々のページは 5 2 8 バイトの記憶容量を有する。各ページに含まれるメモリセルには、連続的に 0 から 5 2 7 までの番地が与えられている。

【 0 0 4 8 】

各ページは、図示するように、先頭から 5 1 2 バイトの領域を占めるデータ領域と、末尾 1 6 バイトを占める冗長部とから構成される。

データ領域には、ユーザデータ（コンピュータ 2 から供給され書き込まれるデータや、コンピュータ 2 に供給される対象となるデータ）が格納される。

冗長部には、この冗長部と同じページに属するデータ領域に格納されているユーザデータの内容が破壊されていないことを確認するための ECC（エラーチェックコード）や、不良ブロックフラグが格納される。

【 0 0 4 9 】

不良ブロックフラグは、この不良ブロックフラグが格納されているページが属するブロック（後述）が、データを正常に格納可能なブロック（良品ブロック）であるか、良品ブロックでないブロックすなわち不良ブロックであって、フラッ

シュメモリ 1 1 の製造者等によって出荷前に不良と判断されたブロック（初期不良ブロック）であるか、不良ブロックであって、フラッシュメモリ 1 1 の使用中にデータの正常な格納ができないと判断されたブロック（後発不良ブロック）であるか、を示すデータである。

【 0 0 5 0 】

なお、良品ブロックを表している不良ブロックフラグは、後発不良ブロックを示す値を上書きすることで、後発不良ブロックを表すように更新できるものとする。

NAND型のフラッシュメモリは、値“1”を格納するメモリセルに値“0”を上書きすることが可能である。（値“0”を格納するメモリセルに値“1”を上書きすることはできず、当該メモリセルを含むブロックをいったんフラッシュイレース（後述）する必要がある。）

このため、例えば、フラッシュメモリ 1 1 がNAND型のフラッシュメモリより構成されており、不良ブロックフラグが1バイト（8ビット）のデータより構成されているとした場合は、この8ビットのデータのうち値“0”を表すビットが1個以下であるときブロックが良品ブロックであることを示し、2個以上6個以下であるときは後発不良ブロックであることを示し、7個以上であるときは初期不良ブロックであることを示すものとするれば、良品ブロックを表している不良ブロックフラグは、後発不良ブロックを示す値を上書きすることで、後発不良ブロックを表すように更新でき、この不良ブロックフラグを格納するブロックをフラッシュイレースする操作は不要となる。

【 0 0 5 1 】

また、データ領域に格納されているユーザデータが無効なデータである場合（例えば、このデータを更新したものがフラッシュメモリ 1 1 の他のデータ領域に格納された場合）、このデータ領域と同じページに属する冗長部には、このデータが無効なデータであることを示す旧データフラグが、後述する処理により格納される。

【 0 0 5 2 】

そして、各ページは、先頭から64ページ単位で1つのブロックを構成する。

各ブロックは32キロバイトの記憶容量を有し、記憶領域全体は、8192個のブロックから構成され、先頭から連続的に0から8191までの物理ブロックアドレスを与えられている。各々のブロックに属する各ページには、連続的に0から63までのページアドレスが付与されている。

【0053】

また、各々のページの冗長部には、当該ページに与えられている論理アドレスの値が格納される。論理アドレスは、フラッシュメモリ11が後述する動作により読み書きされるときに、コントローラ12により、データ読み書きの単位として認識される単位である。

【0054】

ページの論理アドレスは、例えば、当該ページが属するブロックを示す上位の桁（論理ブロックアドレス）と、当該ブロック内での当該ページの位置を示す下位の桁（ページアドレス）とからなっている。論理アドレスの総数は、フラッシュメモリ11が物理的に備えるページの総数より小さい所定量、例えば512000個である。

【0055】

フラッシュメモリ11は、メモリユニット1のコントローラ12より、特定のブロックのデータを消去するよう指示されると、当該ブロックに含まれるすべてのメモリセルの記憶内容をフラッシュイレースする（具体的には、例えばフラッシュメモリ11がNAND型のフラッシュメモリからなる場合は、各メモリセルの記憶値を“1”とする）。

【0056】

また、フラッシュメモリ11のデータ領域には、ディレクトリと、FAT (File Allocation Table) と、書き込みポインタ初期値とが格納され、後述する処理によって更新される。

【0057】

ディレクトリ、FAT及び書き込みポインタ初期値が格納されるページには、所定の条件に合致する論理アドレスが付される。具体的には、例えば、論理アドレスとして先頭の4096個のアドレス（すなわち、00000h以上00FF

F h 以下のアドレス) が付される。

【 0 0 5 8 】

図 3 は、ディレクトリ、F A T 及び論理ブロックアドレスの相互の対応関係を示す図である。図示するように、ディレクトリ及び F A T が記憶されたページの論理アドレスは、例えば、C P U 1 2 1 が記憶する（あるいは C P U 1 2 1 が R A M 1 2 3 に記憶させる）ディレクトリポインタによって示されている。

【 0 0 5 9 】

ディレクトリは、フラッシュメモリ 1 1 内に記憶されているファイル（すなわち、一括して扱う対象としてコンピュータ 2 が指定するデータの集合）のファイル名と、そのファイルの先頭部分が記憶されている論理アドレスとを示すテーブルである。

【 0 0 6 0 】

F A T は、フラッシュメモリ 1 1 の記憶領域内でのファイルの配置を示すテーブルであり、ファイルが 1 つのページ内に収まらないとき、図 3 に示すように、後続の部分を記憶するページの論理アドレスをそれぞれ示すものである。ファイルの最終部分が記憶されているページの論理アドレスは、図 3 に示すように、終了コード (E C) を付されることによって、そのページアドレスが最終部分を表すものであることが示される。

【 0 0 6 1 】

書き込みポインタ初期値は、C P U 1 2 1 がユーザデータを書き込むべきページを指し示す変数である後述の書き込みポインタの最新の値を表すものであり、この記憶システムが起動後最初にフラッシュメモリ 1 1 へのユーザデータの書き込みにおいてユーザデータを書き込むべきページを指定するものとなる。

【 0 0 6 2 】

コントローラ 1 2 は、図 1 に示すように、C P U (Central Processing Unit) 1 2 1 と、R O M (Read Only Memory) 1 2 2 と、R A M (Random Access Memory) 1 2 3 とを備えている。R A M 1 2 3 は、例えば、S R A M (Static RAM) より構成されている。

【 0 0 6 3 】

CPU121は、ROM122、RAM123及びフラッシュメモリ11に接続されており、また、コンピュータ2が備えるPCMCIAスロットを介してコンピュータ2に着脱可能に接続されている。

【0064】

CPU121は、コントローラ12の製造者等によって予めROM122に格納されているプログラムの処理に従って、後述する処理を行う。

そして、CPU121は、アクセス装置を構成するコンピュータ2から供給される命令を取得すると、その命令を実行する。CPU121が実行する命令には、フラッシュメモリ11にアクセスする命令が含まれる。

【0065】

RAM123が有する記憶領域は、CPU121の作業領域として用いられ、また、この記憶領域は退避用メモリ領域を含んでおり、更に、CPU121が後述する処理により作成するBSI (Block Search Index) 及びBPT (Block Pointer Table) と、書き込みポインタとを格納する。

【0066】

退避用メモリ領域は、後述するデータ書き込みの処理において、書き込みを行う対象のページを含むブロックに格納されているデータを一時的に格納するための記憶領域である。

【0067】

BSIは、フラッシュメモリ11の記憶領域に含まれる各ブロックのうちどれが空きブロック（すなわち、フラッシュイレースされユーザデータを記憶していない状態にあるブロック）であるかを特定する情報を格納する。BSIは、コントローラ12の後述する処理に従って作成及び更新される。

【0068】

フラッシュメモリ11のブロックの総数が8192個ずつであるときのBSIの構造の一例を図4に示す。図示するように、BSIは1キロバイトのデータからなり、先頭のビットから順に、先頭のブロックから8192個目のブロックまで順に1対1に対応付けられており、対応付けられたブロックが空きブロックであるとき“1”、空きブロックでないとき“0”を格納する。

【0069】

BPTは、各々のページについて、当該ページの論理アドレスと、物理アドレスとの対応関係を示す情報を格納するものである。BPTは、CPU121による後述の処理に従って作成あるいは更新される。

【0070】

BPTは、具体的には、例えば図5に示すデータ構造を有する。

すなわち、BPTは、例えばRAM123の記憶領域中の所定の論理的位置を占め、各々の論理アドレスに対応付けられた物理アドレスを記憶するための記憶領域を備える。そして、論理アドレスの総数が512000個であるとした場合、例えば、図示するように、先頭から19ビット毎に付されたアドレスが01000h～7DFFFhである、合計1216000バイトの記憶領域を備えていればよい。

【0071】

BPTが図5に示すデータ構造を有するとした場合、BPTを形成する記憶領域に付された各々のアドレスは、論理アドレスと所定のオフセット値との和に等しい。（図5は、オフセット値が“1000h”である場合を例示するものである。）

そして、各々のアドレスを付された19ビットの記憶領域に格納されている内容は、当該アドレスが示す論理アドレスに対応付けられているページの物理アドレス（物理ブロックアドレス及びページアドレスの組）を表す。

【0072】

具体的には、例えば図5に示すように、アドレス1001hを付された記憶領域に値“0A10Fh”（2進数“0001010000100001111”）が格納されており、オフセット値が1000hであるとする。この場合は、物理アドレスが0A10Fh（物理ブロックアドレスが“0284h”で、ページアドレスが“0Fh”）であるページには、論理アドレスとして0001hが対応付けられている。

【0073】

ただし、各々のアドレスを付された記憶領域に格納されている内容が所定の値

を表す場合（例えば、図示するように、物理アドレスの値“7 F F F F h”を表す場合）は、その値を格納している記憶領域のアドレスが示す論理アドレスには、物理アドレスが対応付けられていないことを表す。

【 0 0 7 4 】

書き込みポインタは、CPU 1 2 1 がユーザデータを書き込むべきページを指定する変数（ポインタ）であり、具体的には、該当するページの物理アドレスを示しているものである。書き込みポインタの値は、後述する処理に従って更新される。

【 0 0 7 5 】

コンピュータ 2 はパーソナルコンピュータ等からなり、PCMCIA スロットを備え、OS 及びドライバを表すプログラムデータを記憶し、電源投入後、OS を実行する。そして、PCMCIA スロットにメモリユニット 1 が装着されたことを検知すると、OS の処理に従ってドライバを起動する。

【 0 0 7 6 】

ドライバの処理を行うコンピュータ 2 は、コントローラ 1 2 に上述の命令を供給したり、フラッシュメモリ 1 1 に書き込む対象のデータを供給して、CPU 1 2 1 に、フラッシュメモリ 1 1 へのアクセスを行わせる。そして、自らが供給した命令に従って CPU 1 2 1 がフラッシュメモリ 1 1 から読み出して自らに供給したデータを、CPU 1 2 1 より取得する。

【 0 0 7 7 】

（動作）

次に、この記憶システムの動作を、図 6 ～図 1 0 を参照して説明する。

図 6 は、初期処理を示すフローチャートである。

図 7 は、データ読み出しの処理を示すフローチャートである。

図 8 は、データ書き込みの処理を示すフローチャートである。

図 9 は、ディレクトリ及び F A T 更新の処理を示すフローチャートである。

図 1 0 は、空きブロック確保の処理を示すフローチャートである。

【 0 0 7 8 】

（初期処理）

この記憶システムが起動すると、メモリユニット1のコントローラ12のCPU121は、図6に示す初期処理を実行する。

初期処理を開始すると、CPU121は、RAM123の記憶領域のうち、BPT及びBSIを格納する部分の初期化を行う（図6、ステップS101）。

【0079】

ステップS101でCPU121は、具体的には、RAM123の記憶領域のうちBPTを格納する部分について、上述のアドレスが示す各19ビットの区画に、物理アドレスが対応付けられていないことを示す所定の値（例えば、上述の値“7FFFFh”）を書き込む。また、BSIを格納する部分のビットの論理値を、すべて“0”とする。

【0080】

次に、CPU121は、フラッシュメモリ11の、冗長部にあるデータを未だ読み出されていないブロックのうちから、最も物理ブロックアドレスが若いものを特定し、特定されたブロックに属する各ページの冗長部に格納されているデータをすべて読み出す（ステップS102）。

【0081】

次に、CPU121は、ステップS102で読み出したデータに基づき、ステップS102でデータを読み出したブロックが空きブロックであるか否かを判別する（ステップS103）。具体的には、例えば、ステップS102で読み出したデータが、所定の形式の空きブロックコードを含んでいるか否かを判別する。そして、空きブロックでないと判別すると、CPU121は、処理をステップS105に移す。

【0082】

一方、このブロックが空きブロックであるとステップS103で判別すると、CPU121は、このブロックを示す物理ブロックアドレスから、BSIのうちこのブロックの状態を示すビットがRAM123の記憶領域中で占める位置を算出する。そして、位置を算出したビットの論理値を“1”に書き換える（ステップS104）。ステップS104の処理を終えると、CPU121は処理をステップS107に移す。

【0083】

一方、ステップS105で、CPU121は、フラッシュメモリ11から読み出した論理アドレスを読み出した各々のページの物理アドレスをRAM123の記憶領域に書き込む。ステップS105でCPU121がページの物理アドレスを書き込む論理的な位置は、このページから読み出した論理アドレスに相当するアドレスを付された部分とする。これにより、BPTに、物理アドレスと論理アドレスとの対応付けを示す新たな情報が追加される。

【0084】

そして、CPU121は、フラッシュメモリ11の同一のブロックから読み出したすべての論理アドレスについてステップS105の処理を終えると、処理をステップS106に移す。

【0085】

ステップS106で、CPU121は、ステップS102で冗長部に格納されているデータを読みとられたブロックの次のブロックが存在するか否かを判別する。そして、存在すると判別すると処理をステップS102に戻し、存在しないと判別すると、処理をステップS107に移す。

【0086】

ステップS107でCPU121は、書き込みポインタ初期値が格納されているページにアクセスして書き込みポインタ初期値を読み出し、RAM123に記憶させ、初期処理を終了する。

以上説明した初期処理により、BSI及びBPTが作成され、書き込みポインタの初期値が特定される。

【0087】

(データ読み出しの処理)

初期処理が終了すると、メモリユニット1のCPU121は、コンピュータ2より、フラッシュメモリ11へのアクセスの指示を受け付ける。

コンピュータ2は、CPU121にフラッシュメモリ11からのデータの読み出しを指示するときは、まず、ディレクトリ及びFATを読み出すため、読み出しを指示する命令と、ディレクトリ及びFATが記憶されている各ページの論理

アドレスを、CPU121に供給する（図7、ステップS201）。

【0088】

データの読み出しを指示する命令と、論理アドレスとを供給されたCPU121は、論理アドレスをキーとしてBPTを検索し、ディレクトリ及びFATが記憶されている各ページの物理アドレスを索出し、索出した物理アドレスが示す各ページより、ディレクトリやFATを構成するデータを読み出して、コンピュータ2に供給する（ステップS202）。コンピュータ2は、CPU121から供給されたディレクトリ及びFATを一時記憶する。

【0089】

次に、コンピュータ2は、読み出す対象のデータを含むファイルのファイル名を有するファイルの内容が格納されている先頭のページの論理アドレスを索出するため、このファイル名をキーとして、CPU121より供給され一時記憶したディレクトリを検索する（ステップS203）。

【0090】

次に、コンピュータ2は、ステップS203で索出した論理アドレスをキーとして、CPU121から供給されたFATを検索し、ディレクトリから論理アドレスを索出されたページに後続するページの論理アドレスがあればすべて索出して、該当するページが連続する順序を特定する（ステップS204）。

【0091】

そして、コンピュータ2は、ステップS203及びS204で索出されたページの記憶内容を読み出すため、読み出しを指示する命令と、ユーザデータを読み出すべきページ（つまり、ステップS203及びS204で索出されたページで未だデータを読み出されていないページのうちの先頭のページ）の論理アドレスとを、CPU121に供給する（ステップS205）。

【0092】

CPU121は、ステップS205で読み出しを指示する命令及び論理アドレスを供給されると、RAM123にアクセスし、ステップS205でコンピュータ2より供給された論理アドレスをキーとしてBPTを検索して、この論理アドレスに対応付けられた物理アドレスがあるか否かを判別する（ステップS206）。

）。

そして、該当する物理アドレスがないと判別すると、CPU 1 2 1 は、所定のエラーメッセージ（例えば、所定値“F F h”）をコンピュータ 2 に供給して（ステップ S 2 0 7）、データ読み出しの処理を終了（異常終了）する。

【 0 0 9 3 】

一方、該当する物理アドレスがあると判別すると、CPU 1 2 1 は、この物理アドレスが示すページよりデータを読み出す（ステップ S 2 0 8）。そして、読み出したデータのうちデータ領域に格納されていたデータに基づいて ECC を生成し、生成した ECC と、読み出したデータのうち冗長部に格納されていた ECC とに基づいて、データ領域に格納されていたデータが正しく読み出されたか否かを判別する（ステップ S 2 0 9）。

【 0 0 9 4 】

ステップ S 2 0 9 で、正しく読み出されたと判別すると、CPU 1 2 1 は、データ領域に格納されていたデータをコンピュータ 2 に供給する（ステップ S 2 1 0）。

【 0 0 9 5 】

正しく読み出されていないと判別すると、CPU 1 2 1 は、データ領域に格納されていたデータを正しい内容へと訂正することが可能か否かを、冗長部に格納されていた ECC 等に基づいて判別する（ステップ S 2 1 1）。そして、復元が可能であると判別すると、データ領域に格納されていたデータを訂正してコンピュータ 2 に供給する（ステップ S 2 1 2）。

【 0 0 9 6 】

ステップ S 2 1 1 で、訂正ができないと判別すると、訂正できない当該データを読み出したページの冗長部（又は、このページと同じブロック内の他の任意のページの冗長部）に格納されている不良ブロックフラグを、後発不良ブロックを表す値へと上書き更新し、データの読み取りに失敗したことをコンピュータ 2 に通知する（ステップ S 2 1 3）。コンピュータは、この通知を受けると、データ読み出しの処理を中断（異常終了）する。

【 0 0 9 7 】

一方、コンピュータ 2 は、ステップ S 2 1 0 又は S 2 1 2 で CPU 1 2 1 より読み出し対象のデータを供給されると、ユーザデータを読み出すべきページが残っているか否かを判別する（ステップ S 2 1 4）。そして、該当するページが残っていると判別したときは処理をステップ S 2 0 5 に戻し、残っていないと判別したときは処理を終了する。

【 0 0 9 8 】

以上説明したステップ S 2 0 1 ～ S 2 1 4 の処理により、フラッシュメモリ 1 1 よりデータが読み出され、コンピュータ 2 へと供給される。

【 0 0 9 9 】

（データ書き込みの処理）

また、フラッシュメモリ 1 1 へのデータの書き込みを行う場合、まず、コンピュータ 2 は、ディレクトリ及び F A T を読み出すため、上述のステップ S 2 0 1 と同様に、読み出しを指示する命令と、ディレクトリ及び F A T が記憶されている各ページの論理アドレスを、CPU 1 2 1 に供給する（図 8、ステップ S 3 0 1）。ただし、既にデータの読み出し等のためにディレクトリ及び F A T を一時記憶している場合はステップ S 3 0 1 の処理を省略し、ステップ S 3 0 3 から処理を始める。

【 0 1 0 0 】

データの読み出しを指示する命令及び論理アドレスを供給された CPU 1 2 1 は、上述のステップ S 2 0 2 と実質的に同一の処理を行うことによりディレクトリ及び F A T を読み出して、コンピュータ 2 に供給する（ステップ S 3 0 2）。コンピュータ 2 は、CPU 1 2 1 から供給されたディレクトリ及び F A T を一時記憶する。

【 0 1 0 1 】

次に、コンピュータ 2 は、フラッシュメモリ 1 1 に書き込む対象のファイルのファイル名をキーとして、CPU 1 2 1 より供給されたディレクトリを検索し、そのファイル名がディレクトリに格納されているか否かを判別する（ステップ S 3 0 3）。そして、格納されていないと判別したときは、処理を後述のステップ S 3 0 5 に移す。

【 0 1 0 2 】

一方、格納されていると判別したとき、コンピュータ 2 は、ステップ S 3 0 3 での検索により索出したファイル名に対応付けられている論理アドレスをキーとして、CPU 1 2 1 から供給された F A T を検索し、このファイル名が示すデータを格納する各ページの論理アドレスを索出して一時記憶し（ステップ S 3 0 4 ）、処理をステップ S 3 0 5 に移す。

【 0 1 0 3 】

ステップ S 3 0 5 で、コンピュータ 2 は、後述するステップ S 3 0 6 及び S 3 1 3 で CPU 1 2 1 に供給すべきデータを決定する。

具体的には、ステップ S 3 0 5 でコンピュータ 2 は、例えばまず、書き込み対象のファイルの書き込みが完了しているか否かを判別し、完了していないと判別した場合は、書き込み対象のファイルに含まれるデータのうちフラッシュメモリ 1 1 にまだ書き込まれていない 1 ページ分のデータをステップ S 3 1 3 で供給することと決定し、また、このデータを格納するページの論理アドレス（書込先の論理アドレス）をステップ S 3 0 6 で供給することと決定する。

一方、書き込み対象のファイルの書き込みが完了していると判別した場合は、自己が一時記憶しているディレクトリ及び F A T をフラッシュメモリに書き込んだか否かを判別する。そして、書き込みを終えていないと判別した場合は、自己が一時記憶するディレクトリ及び F A T を構成するデータ 1 ページ分をステップ S 3 1 3 で供給することと決定し、また、ディレクトリ及び F A T を格納するページの論理アドレス（書込先の論理アドレス）をステップ S 3 0 6 で供給することと決定する。

また、ディレクトリ及び F A T の書き込みも完了していると判別した場合は、書き込みの完了を通知する所定のデータをステップ S 3 0 6 で供給することと決定する。

【 0 1 0 4 】

ステップ S 3 0 6 で、コンピュータ 2 は、ステップ S 3 0 5 で決定した結果に従い、データを格納する対象のページの論理アドレス又は書き込み完了の通知を供給する。また、論理アドレスを供給する場合は、更に、フラッシュメモリ 1 1

への1ページ分のデータの書き込みを指示する命令も供給する。

【0105】

なお、コンピュータ2は、書き込み対象のファイルに含まれるデータをステップS313で供給すると決定した場合、例えば、図9に示すディレクトリ及びFAT更新の処理を行うことにより、ステップS306でCPU121に供給する論理アドレスの決定と、ディレクトリ及びFATの更新を行う。

【0106】

すなわち、コンピュータ2はまず、自己が一時記憶しているディレクトリ及びFATを解析して、データが書き込まれていないページの論理アドレス（つまり、ファイル名に対応付けられていない論理アドレス）を、書き込むデータを格納するために必要な数だけ、書き込み対象のページに割り当てる論理アドレスとして特定する（図9、ステップS401）。

【0107】

ただし、書き込む対象のファイルのファイル名がディレクトリに含まれるとステップS303で判別した場合、ステップS401でコンピュータ2は、このファイル名に対応付けられている論理アドレス（つまり、ステップS304で一時記憶した論理アドレス）を、データを書き込む対象のページの論理アドレスとして優先的に特定するようにしてもよい。

【0108】

次に、コンピュータ2は、ステップS401で特定した各論理アドレスの並び順を決定する（ステップS402）。この並び順は、これらの論理アドレスを割り当てられた各ページの並び順を表すものであり、また、これらのページに書き込まれたデータの並び順を表すものでもある。

【0109】

コンピュータ2がステップS401～S402の処理を行った場合、ステップS306でコンピュータ2は、ステップS401で特定した論理アドレスでCPU121に供給していないもののうちで、ステップS402で決めた並び順の先頭にあたる論理アドレスを、CPU121に供給すればよい。

【0110】

次に、コンピュータ2は、自ら一時記憶しているディレクトリ及びFATに、ステップS401で特定した論理アドレスを、図3に示す上述のデータ構造をとるようにして格納する（ステップS403）。なお、ディレクトリ及びFATにより表される論理アドレスの前後関係は、ステップS401で特定した並び順通りになるようにする。ステップS403の処理により、フラッシュメモリ11に新たに書き込むべきディレクトリ及びFATが作成される。

【0111】

一方、CPU121は、ステップS306でコンピュータより書込先の論理アドレス又は書き込み完了の通知などのデータを供給されると、これらのデータのうちに、書き込み完了の通知が含まれているか否かを判別する（図8、ステップS307）。そして、含まれていると判別すると処理をステップS319に移し、供給されていないと判別すると、ステップS308以降の処理を行う。

【0112】

ステップS308でCPU121は、RAM123にアクセスして、ステップS306でコンピュータ2より供給された論理アドレスが示すページの物理アドレスを、BPTより検索する。

【0113】

次に、CPU121は、ステップS308で物理アドレスが索出されたか否かを判別し（ステップS309）、索出されなかったと判別すると処理をステップS311に進める。

【0114】

一方、CPU121は、物理アドレスが索出されたとステップS309で判別すると、フラッシュメモリ11にアクセスし、索出されたこの物理アドレスを割り当てられているページの冗長部に旧データフラグを上書きし（ステップS310）、処理をステップS311に進める。また、ステップS310でCPU121はRAM123にアクセスして、ステップS308で特定された物理アドレスを、物理アドレスが対応付けられていないことを表す値（例えば上述の値“7FFFh”）へと更新する。つまり、このページへの論理アドレスの割り当てを解除する。

【0115】

次にCPU121はRAM123にアクセスし、書き込みポインタが現在指し示している物理アドレスを、コンピュータ2より供給された書込先の論理アドレスに対応付けた形で、BPTに格納する（ステップS311）。そしてCPU121は、フラッシュメモリ11に書き込むべき1ページ分のデータがコンピュータ2から供給されるのを待機する（ステップS312）。

【0116】

フラッシュメモリ11に書き込むデータがコンピュータ2から供給されると（ステップS313）、CPU121はフラッシュメモリ11にアクセスし、書き込みポインタが現在指し示しているページに、コンピュータ2から供給された1ページ分のデータを書き込む（ステップS314）。また、ステップS314でCPU121は、このページの冗長部に、ステップS306でコンピュータ2から供給された論理アドレスを書き込む。

【0117】

次に、CPU121はRAM123にアクセスし、ステップS314で新たにデータを書き込まれたページが、ブロックの末尾のページであるか否かを、例えば書き込みポインタの現在の値に基づいて判別する（ステップS315）。（具体的には、例えば、書き込みポインタの現在の値の下位6ビットの値が“3Fh”であるか否かを判別すればよい。）そして、末尾のページではなかったと判別すると、処理をステップS318に移す。

【0118】

一方、新たにデータを書き込まれたページが末尾のページであったとステップS315で判別すると、CPU121は、RAM123が記憶するBSIの内容を、このブロックが空きブロックでないことを表すように更新する（ステップS316）。

【0119】

次に、CPU121は、BSIの内容に基づいて現在の空きブロックの数を数え、空きブロックの数が所定量（例えば、2個）以下か否かを判別する（ステップS317）。そして、所定量より大きいと判別すると、処理をステップS31

8に移す。

【0120】

一方、空きブロックの数が所定量以下であると判別すると、CPU121は、図10に示す空きブロック確保の処理を開始する。

空きブロック確保の処理を開始すると、CPU121は、データを消去して空きブロックにする対象のブロックを1個以上特定する（図10、ステップS501）。そして、特定したブロック内の各ページのうち、旧データフラグが冗長部に格納されていないページに格納されているデータ（退避対象のデータ）を、冗長部に格納されているデータも含めて読み出し、RAM123に記憶させる（ステップS502）。

【0121】

なお、ステップS501でCPU121がフラッシュイレースする対象のブロックを決定する基準は任意であり、例えばCPU121は、フラッシュイレースされて空きブロックになった最新のブロック以降のブロック（つまり、このブロックより大きな物理ブロックアドレスを与えられているブロック）のうち、物理ブロックアドレスがもっとも小さい非空きブロック（空きブロックでないブロック）を、フラッシュイレースする対象として決定すればよい。ただし、該当する非空きブロックが1個もない場合は、フラッシュメモリ11のすべての非空きブロックのうちもっとも物理ブロックアドレスが小さいものを、フラッシュイレースする対象とする。

【0122】

フラッシュイレースする対象のブロックをこのように決定することにより、フラッシュイレースされる対象は、実質的にサイクリックに順位付けされた物理ブロックアドレスの順に、サイクリックに指定される。そして、フラッシュイレースする対象のブロックをこのように決定すれば、ステップS501の処理が行われるたびに、一番古い書き込みがある非空きブロックがフラッシュイレースする対象として特定される。

【0123】

次に、CPU121は、ステップS501で特定したブロックをフラッシュイ

レースして空きブロックにし、空きブロックとなったこのブロックの各ページに空きブロックコードを書き込む（ステップS503）。（ただし、フラッシュメモリ11がNAND型のフラッシュメモリより構成されている場合であって、空きブロックコードが値“1”のビットのみからなっている場合は、特に空きブロックコードを書き込む動作は不要である。）

また、CPU121はRAM123にアクセスして、BSIの内容を、このブロックが空きブロックであることを表すように更新する（ステップS504）。

【0124】

次に、CPU121は、書き込みポインタをインクリメントする（ステップS505）。具体的には、CPU121は、書き込みポインタが現在指し示しているページ以降のページで、論理アドレスが書き込まれていないページのうち先頭のものを特定する。そして、特定したページの物理アドレスを指し示すように、RAM123が記憶する書き込みポインタの値を更新する。なお、書き込みポインタが現在指し示しているページがブロックの末尾のページである場合、ステップS505でCPU121は、BSIを検索することにより新たな空きブロックを1個特定し、特定した空きブロックの先頭ページを特定し、特定した当該先頭ページの物理アドレスを指し示すように、RAM123が記憶する書き込みポインタの値を更新すればよい。

【0125】

次に、CPU121は、退避対象のデータを書き戻す（ステップS506）。すなわち、ステップS502でRAM123に記憶させた退避対象のデータのうち、まだフラッシュメモリ11に書き戻されていないものを1ページ分、書き込みポインタが現在指し示しているページに書き込む。なお、CPU121は、退避対象のデータのうちフラッシュメモリ11に書き戻した部分をRAM123の記憶領域から消去してもよい。

【0126】

次に、CPU121は、退避対象のデータがすべて書き戻されたか否かを判別し（ステップS507）、書き戻されていないものがあると判別すると、処理をステップS505に戻す。

【0127】

一方、すべて書き戻されたステップS507で判別すると、CPU121は空きブロック確保の処理を終了し、ステップS505の処理と同様にして書き込みポインタをインクリメントし（ステップS318）、次の書込先の論理アドレス又は書き込み完了の通知がコンピュータ2から供給されるのを待機する。

【0128】

CPU121が次の書込先の論理アドレス又は書き込み完了の通知を待機する状態に入ると、コンピュータ2は処理をステップS305に戻す。そして、CPU121は、ステップS306で次の書込先の論理アドレス又は書き込み完了の通知がコンピュータ2から供給されると、処理をステップS307に戻す。

【0129】

一方、CPU121は、書き込み完了の通知を供給されてステップS319に処理を移すと、ステップS505と同様の処理を行うことにより、RAM123に格納されている書き込みポインタの現在の値をインクリメントした結果を求め、一時記憶する。なお、書き込みポインタ自体はインクリメントしない。

【0130】

次に、CPU121は、書き込みポインタが現に指し示す物理アドレスを、書き込みポインタ初期値を格納するページに与えられる論理アドレス（ポインタ初期値用の論理アドレス）に対応付けた形で、BPTに格納する（ステップS320）。

【0131】

次に、CPU121は、ステップS319で求めた値を、書き込みポインタが現に指し示すページのデータ領域に、書き込みポインタ初期値として書き込む（ステップS321）。また、ステップS321では、このページの冗長部に、ポインタ初期値用の論理アドレスを書き込む。

ステップS321の処理が終わると、この記憶システムはデータ書き込みの処理を終了する。

【0132】

以上説明した処理により、コンピュータ2から供給されたデータがフラッシュ

メモリ 11 に格納される。また、BSI の内容が、データの書き込みの結果新たに生じた空きブロック及び消滅した空きブロックを示すよう変更される。一方、BPT の内容も変更され、新たに空きブロックとなったブロック内で旧データフラグがないページに割り当てられていた論理アドレスが、そのページの内容を転記されたページに新たに割り当てられる。

【0133】

この記憶システムでは、ユーザデータの書き込みはページ単位で行われるので、ユーザデータを書き込む毎に新たな空きブロックを探索して書き込むという操作が不要になる。従って、この記憶システムは、ユーザデータの書き換え時に、ブロックに対して効率の悪いフラッシュイレースを行わずに済み、フラッシュメモリ 11 の劣化を起こしにくい。

【0134】

また、この記憶システムは、空きブロックの数が十分にあるうちはブロックのフラッシュイレースを行わないので、無用のフラッシュイレースが避けられる。この点も、フラッシュメモリ 11 の劣化防止に寄与する。

【0135】

また、各ブロックは、書き込まれているデータが古い順にフラッシュイレースの対象となっていくから、ブロックがフラッシュイレースされる頻度が均等になる。従って、特定のメモリブロックが集中的に劣化することによりフラッシュメモリ 11 全体の寿命が短くなる、ということが防止される。

【0136】

また、データを書き込むページは書き込みポインタにより物理アドレス順に指定されるので、特定のブロックに書き込みが集中することが避けられ、従って、書き込みが集中したブロックにフラッシュイレースの機会が集中することが避けられる。この点も、フラッシュメモリ 11 の劣化防止に寄与する。

【0137】

なお、この記憶システムの構成は、上述のものに限られない。

例えば、フラッシュメモリ 11 の記憶領域のブロックの数、1 ブロック当たりのページの数、各ページの記憶容量、データ領域及び冗長部の記憶容量は、いず

れも任意である。また、フラッシュメモリ 11 は、EEPROM から構成されるものである必要はなく、コンピュータにより読み書き可能な任意の記憶装置であってよい。

また、ディレクトリ及び F A T が格納されるページの論理アドレスは上述の値である必要はなく、また、ディレクトリ及び F A T が格納されるページの個数も任意である。

【0138】

また、RAM 123 は、例えば F e R A M (Ferroelectric RAM: 強誘電性 R A M) からなる不揮発性メモリより構成されていてもよい。この場合、この記憶システムは、既に R A M 123 が B S I 及び B P T を記憶している場合には、初期処理を省略してもよい。すなわち、起動するたびに B P T や B S I の作成を逐一行わなくてもよい。

【0139】

また、C P U 121 は、必ずしも P C M C I A スロットを介してコンピュータ 2 に接続されるものでなくてもよく、I E E E 1394 インターフェースや U S B (Universal Serial Bus) あるいはその他の任意のインターフェースを介して接続されていてもよい。また、C P U 121 は必ずしもコンピュータ 2 に有線接続される必要はなく、例えば Bluetooth 等の規格に準拠したインターフェースを介してコンピュータ 2 に無線接続されるものであってもよい。

【0140】

また、C P U 121 は、必ずしも旧データフラグをフラッシュメモリ 11 に書き込む処理を行わなくてもよい。

この場合、C P U 121 は、ステップ S 502 で退避対象のデータを特定するため、旧データフラグを参照する代わりに、ステップ S 501 で特定したブロック内の各々のページについて、このページの物理アドレスと、このページの冗長部に格納されている論理アドレスに B P T により対応付けられている物理アドレスとが一致するか否かを判別してもよい。そして、二つの物理アドレスが一致するページに格納されているデータを退避対象のデータとして特定すればよい。

【0141】

また、BPTは、物理アドレスの全桁を格納している必要はなく、例えば、物理アドレスのうち、上位の所定桁数だけを格納するようにしてもよいし、あるいは下位の所定桁数だけを、仮物理アドレスとして格納するようにしてもよい。

BPTが物理アドレスの全桁に代えてこのような仮物理アドレスを格納するようになれば、物理アドレス全桁を格納する場合に比べて、BPTのデータ量は小さくなる。従って、BPTを格納するRAM123の記憶容量も小さくて済み、この記憶システムを小型に構成できるようになる。

【0142】

仮物理アドレスが、物理アドレスのうち上位の所定桁数だけからなる場合、CPU121は、ステップS208やS308では、データの読み書きの対象となるファイルがあるページを特定するために、BPTを参照して、まず、このページの論理アドレスに対応付けられている仮物理アドレス（物理アドレスの上位の桁）を特定する。次に、CPU121はフラッシュメモリ11にアクセスして、物理アドレスの上位の桁が特定した仮物理アドレスに一致していて旧データフラグが格納されていないページのうち、冗長部に当該論理アドレスが格納されているページを特定する。特定されたページが、データの読み書きの対象となるファイルがあるページである。

【0143】

また、仮物理アドレスが、物理アドレスのうち上位の所定桁数だけからなる場合、旧データフラグを利用することなくデータの読み書きの対象となるファイルがあるページを特定する手法も考えられる。

具体的には、例えばCPU121は、BPTを参照してこのページの仮物理アドレス（物理アドレスの上位の桁）を特定した後、フラッシュメモリ11にアクセスして、物理アドレスの上位の桁が特定した仮物理アドレスに一致していて冗長部に当該論理アドレスが格納されているページのうち、物理アドレスがもっとも大きいものを特定する。特定されたページが、データの読み出し又は書き込みの対象となるページである。

書き込みポインタは、データがページに書き込まれる毎にインクリメントされるので、仮物理アドレスに一致していて冗長部に当該論理アドレスが格納されて

いるページのうち物理アドレスがもっとも大きいページは、当該論理アドレスを現時点で割り当てられているページであるということができる。

【 0 1 4 4 】

一方、仮物理アドレスが、物理アドレスのうち下位の所定桁数だけからなる場合は、例えば、フラッシュメモリ 1 1 のページは複数のゾーンのいずれかへと分類されているものとし、物理アドレスのうちこの下位の所定桁数を除いた上位の桁は、ページが属すゾーンを示すものとする。なお、個々のゾーンの記憶容量の大きさはブロック 1 個分より大きくても小さくても、ブロック 1 個分等しくてもよい。また、ゾーンがブロックに一致していてもよい。

【 0 1 4 5 】

そして、ページが複数のゾーンのいずれかへと分類されている場合、各々の論理アドレスはいずれか 1 つのゾーンに属するページに割り当てられるものとする。従って、ページに与えられた論理アドレスに基づいて、このページが属するゾーンを特定することができる。

【 0 1 4 6 】

ページが複数のゾーンのいずれかへと分類されている場合、CPU 1 2 1 は、データの読み書きの対象となるファイルがあるページを特定するため、BPT を参照して、このページの論理アドレスに対応付けられている仮物理アドレス（物理アドレスの下位の桁）を特定し、一方、この論理アドレスに基づいて、このページが属するゾーンも特定する。次に、CPU 1 2 1 は、特定したゾーン及び仮物理アドレスに基づいてこのページの物理アドレスを特定し、特定した物理アドレスが示すページにアクセスする。

【 0 1 4 7 】

また、この記憶システムは、BPT をフラッシュメモリ 1 1 が記憶するようにしてもよい。この場合、CPU 1 2 1 は、RAM 1 2 3 に、BPT を構成するデータが格納されているページ（以下、BPT 格納ページと呼ぶ）の位置を示す BPT ページリストを記憶させるようにしてもよい。

【 0 1 4 8 】

BPT ページリストは、具体的には、例えば、BPT 格納ページの論理アドレ

ス（以下、BPTページポインタと呼ぶ）と、当該BPT格納ページの物理アドレスを、互いに対応付けて格納するテーブルからなる。一方、CPU123は、BPTの一部をBPT格納ページに格納する際、たとえばこのBPT格納ページの冗長部に、このBPT格納ページに割り当てられたBPTページポインタを格納するものとする。

【0149】

フラッシュメモリ11がBPTを記憶している場合、CPU121は、図11に示すように、初期処理において、BPTを作成する動作に代えて、BPTページリストを作成する動作を行う。

すなわち、CPU121は、上述のステップS105の処理に代えて、フラッシュメモリ11から読み出したBPTページポインタと、このBPTページポインタを読み出したページ（BPT格納ページ）の物理アドレスとを、互いに対応付けてRAM123に記憶させる動作を行う（図11、ステップS105B）。この動作により、BPTページリストが作成される。

【0150】

なお、この記憶システムは、RAM123が不揮発性メモリより構成されている場合であって既にRAM123がBPTページリストを記憶している場合は、ステップS105Bの処理を省略してもよい。

【0151】

また、RAM123がBPTページリストを記憶している場合、CPU121は、データ読み出しの処理においてBPTを参照するため、ステップS206の処理を行う代わりに、図12に示すステップS206Bの処理を行う。すなわち、RAM123からBPTページリストを読み出し、このBPTページリストに基づいて、BPT格納テーブルの物理アドレスを特定し、特定した物理アドレスが示すページにアクセスして、BPTの内容を読み出し、読み出したBPTを用いて物理アドレスの特定を行う。

【0152】

また、フラッシュメモリ11がBPTを記憶している場合、CPU121は、データ書き込みの処理等においてBPTの内容を更新する場合は、上述のステッ

ブS311の処理に代えて、図13に示すステップS601～S603の処理を行う。

【0153】

すなわち、まずCPU121は、ステップS205～S214の処理と同様の処理を行うことによりフラッシュメモリ11からBPTを読み出し、RAM123に一時記憶させる（図13、ステップS601）。

【0154】

ただし、ステップS601でCPU121は、ユーザデータを読み出すべきページの論理アドレスをコンピュータ2から取得してBPTを検索して物理アドレスを得る代わりに、BPTページリストに格納されているBPTページポインタ（すなわちBPT格納ページの物理アドレス）をRAM123から読み出すものとする。また、コンピュータ2がステップS214の処理を行う代わりに、BPTをなすデータをまだ読み出されていないBPT格納ページが残っているか否かを、CPU121が判別するものとする。

【0155】

次に、CPU121は、上述のステップS311の処理と実質的に同一の処理を行うことにより、RAM123に一時記憶されたBPTの内容を更新する（ステップS602）。

【0156】

次に、CPU121は、書き換えが終わったBPTを、上述したステップS314～S318の処理に従って、1ページ分ずつ書き込む（ステップS603）。ただし、BPTの一部である1ページ分のデータを書き込まれて新たにBPT格納ページとなったページの物理アドレスは、BPTに登録する代わりにBPTページリストに登録する。

【0157】

すなわち、ステップS603でCPU121は、書き込みポインタが現在指し示している物理アドレスを、新たに書き込んだBPTの一部が更新される前に割り当てられていたBPTページポインタに対応付けた形で、BPTページリストに格納する。また、このBPTページポインタに従前対応付けられていた物理ア

ドレスは、BPTページリストから削除する。

【0158】

なお、BPTを構成するデータが、上述したゾーンのうちいずれか所定のゾーンにのみ格納される場合、BPTページリストには、このデータを格納するBPT格納ページの物理アドレスに代えて、このBPT格納ページの当該ゾーン内での位置を示す上述の仮物理アドレスを格納するようにしてもよい。

BPTページリストが、BPT格納ページの物理アドレスの全桁に代えて仮物理アドレスを格納するようにすれば、物理アドレス全桁を格納する場合に比べて、BPTページリストのデータ量は小さくなる。従ってRAM123の記憶容量も小さくて済み、この記憶システムを小型に構成できるようになる。

【0159】

また、BPT格納ページに対応付けられるBPTページポインタの値は、このBPT格納ページに格納されているデータが、BPTのうち、どの範囲の論理アドレスを示す部分かを指定するものであってもよい。

この場合、CPU121は、ステップS601では、BPTのうち、読み書きの対象となるファイルの内容を含むページの論理アドレスを含む部分をBPTページリストの内容に基づいて特定し、特定した部分のみをフラッシュメモリ11から読み出してRAM123に一時記憶させるようにしてもよい。そして、一時記憶された当該部分をBPTとして扱うことにより、後述のステップS602～S603の処理を行うようにすればよい。このような処理を行うものとするれば、BPTを参照するたびにフラッシュメモリ11からBPTの全体を逐一読み出す、という操作を要しないので、BPTの参照に要する時間が短くなる。

【0160】

また、この記憶システムは、BSIをフラッシュメモリ11が記憶するようにしてもよい。この場合、CPU121は、RAM123に、BSIを構成するデータが格納されているページ（以下、BSI格納ページと呼ぶ）の位置を示すBSIページポインタテーブルを記憶させるようにしてもよい。

【0161】

BSIページポインタテーブルは、具体的には、例えば、BSI格納ページの

論理アドレス（以下、BSI ページポインタと呼ぶ）と、当該BSI 格納ページの物理アドレスを、互いに対応付けて格納するテーブルからなる。一方、CPU 123 は、BSI の一部をBSI 格納ページに格納する際、たとえばこのBSI 格納ページの冗長部に、このBSI 格納ページに割り当てられたBSI ページポインタを格納するものとする。

【0162】

フラッシュメモリ11がBSIを記憶している場合、CPU121は、図14に示すように、初期処理において、BSIを作成する動作に代えて、BSI ページポインタテーブルを作成する動作を行う。

すなわち、CPU121は、上述のステップS104の処理に代えて、フラッシュメモリ11から読み出したBSI ページポインタと、このBSI ページポインタを読み出したページ（BSI 格納ページ）の物理アドレスとを、互いに対応付けてRAM123に記憶させる動作を行う（図14、ステップS104B）。この動作により、BSI ページポインタテーブルが作成される。

【0163】

なお、この記憶システムは、RAM123が不揮発性メモリより構成されている場合であって既にRAM123がBSI ページポインタテーブルを記憶している場合は、ステップS104Bの処理を省略してもよい。

【0164】

また、フラッシュメモリ11がBSIを記憶している場合、CPU121は、データ書き込みの処理等においてBSIの内容を更新する場合は、上述のステップS316やS504の処理に代えて、図15に示すステップS701～S703の処理を行う。

【0165】

すなわち、まずCPU121は、ステップS205～S214の処理と同様の処理を行うことによりフラッシュメモリ11からBSIを読み出し、RAM123に一時記憶させる（図15、ステップS701）。

【0166】

ただし、ステップS701でCPU121は、ユーザデータを読み出すべきペ

ージの論理アドレスをコンピュータ2から取得してBSIを検索して物理アドレスを得る代わりに、BSIページポインタテーブルに格納されているBSIページポインタをRAM123から読み出すものとする。また、コンピュータ2がステップS214の処理を行う代わりに、BSIをなすデータをまだ読み出されていないBSI格納ページが残っているか否かを、CPU121が判別するものとする。

【0167】

次に、CPU121は、上述のステップS316（又はS504）の処理と実質的に同一の処理を行うことにより、RAM123に一時記憶されたBSIの内容を更新する（ステップS702）。

【0168】

次に、CPU121は、書き換えが終わったBSIを、上述したステップS314～S318の処理に従って、1ページ分ずつ書き込む（ステップS703）。ただし、BSIの一部である1ページ分のデータを書き込まれて新たにBSI格納ページとなったページの物理アドレスはBPTに登録する代わりにBSIページポインタテーブルに格納し、また、このBSIページポインタに従前対応付けられていた物理アドレスは、BSIページポインタテーブルから削除する。

【0169】

なお、BSIを構成するデータが、上述したゾーンのうちいずれか所定のゾーンにのみ格納される場合、BSIページポインタテーブルには、このデータを格納するBSI格納ページの物理アドレスに代えて、このBSI格納ページの当該ゾーン内での位置を示す仮物理アドレスを格納するようにしてもよい。

BSIページポインタテーブルが、BSI格納ページの物理アドレスの全桁に代えて仮物理アドレスを格納するようにすれば、物理アドレス全桁を格納する場合に比べて、BSIページポインタテーブルのデータ量は小さくなる。従ってRAM123の記憶容量も小さくて済み、この記憶システムを小型に構成できるようになる。

【0170】

また、BSI格納ページに対応付けられるBSIページポインタの値は、この

BSI 格納ページに格納されているデータが、BSIのうち、どの範囲の論理アドレスを示す部分かを指定するものであってもよい。この場合、CPU121は、ステップS701では、BSIのうち、読み書きの対象となるファイルの内容を含むページの論理アドレスを含む部分をBSIページポインタテーブルの内容に基づいて特定し、特定した部分のみをフラッシュメモリ11から読み出してRAM123に一時記憶させるようにしてもよい。そして、一時記憶された当該部分をBSIとして扱うことにより、後述のステップS702～S703の処理を行うようにすればよい。このような処理を行うものとするれば、BSIを参照するたびにフラッシュメモリ11からBSIの全体を逐一読み出す、という操作を要しないので、BSIの参照に要する時間が短くなる。

【0171】

また、組み込みメモリユニット1とコンピュータ2とは互いに固定的に接続されていてもよく、図16に示すように、メモリユニット1及びコンピュータ2が同一の筐体に組み込まれていてもよい。

【0172】

以上、この発明の実施の形態を説明したが、この発明の記憶システムは、専用のシステムによらず、通常のコンピュータシステムを用いて実現可能である。例えば、フラッシュメモリ11を装着するスロットを備えるパーソナルコンピュータに上述の動作を実行するためのプログラムを格納した媒体（フレキシブルディスク、CD-ROM等）から該プログラムをインストールすることにより、上述の処理を実行する記憶システムを構成することができる。

【0173】

また、例えば、通信回線のBBSに該プログラムをアップロードし、これらを通信回線を介して配信してもよく、また、該プログラムを表す信号により搬送波を変調し、得られた変調波を伝送し、この変調波を受信した装置が変調波を復調して該プログラムを復元するようにしてもよい。

そして、該プログラムを起動し、OSの制御下に、他のアプリケーションプログラムと同様に実行することにより、上述の処理を実行することができる。

【0174】

なお、OSが処理の一部を分担する場合、あるいは、OSが本願発明の1つの構成要素の一部を構成するような場合には、記録媒体には、その部分を除いたプログラムを格納してもよい。この場合も、この発明では、その記録媒体には、コンピュータが実行する各機能又はステップを実行するためのプログラムが格納されているものとする。

【0175】

【発明の効果】

以上説明したように、この発明によれば、劣化が起きにくい記憶装置や、記憶装置の劣化を起こしにくいメモリ管理方法が実現される。

【図面の簡単な説明】

【図1】

本発明の実施の形態にかかる記憶システムの構成を示すブロック図である。

【図2】

フラッシュメモリの記憶領域の論理的構造を模式的に示す図である。

【図3】

ディレクトリ及びFATのデータ構造を模式的に示す図である。

【図4】

BSIのデータ構造を模式的に示す図である。

【図5】

BPTのデータ構造を模式的に示す図である。

【図6】

初期処理を示すフローチャートである。

【図7】

データ読み出しの処理を示すフローチャートである。

【図8】

データ書き込みの処理を示すフローチャートである。

【図9】

ディレクトリ及びFAT更新の処理を示すフローチャートである。

【図10】

空きブロック確保の処理を示すフローチャートである。

【図 1 1】

フラッシュメモリが B P T を記憶する場合の初期処理を示すフローチャートである。

【図 1 2】

フラッシュメモリが B P T を記憶する場合のデータ読み出しの処理を示すフローチャートである。

【図 1 3】

フラッシュメモリが B P T を記憶する場合のデータ書き込みの処理の変形部分を示すフローチャートである。

【図 1 4】

フラッシュメモリが B S I を記憶する場合の初期処理を示すフローチャートである。

【図 1 5】

フラッシュメモリが B S I を記憶する場合のデータ書き込みの処理の変形部分を示すフローチャートである。

【図 1 6】

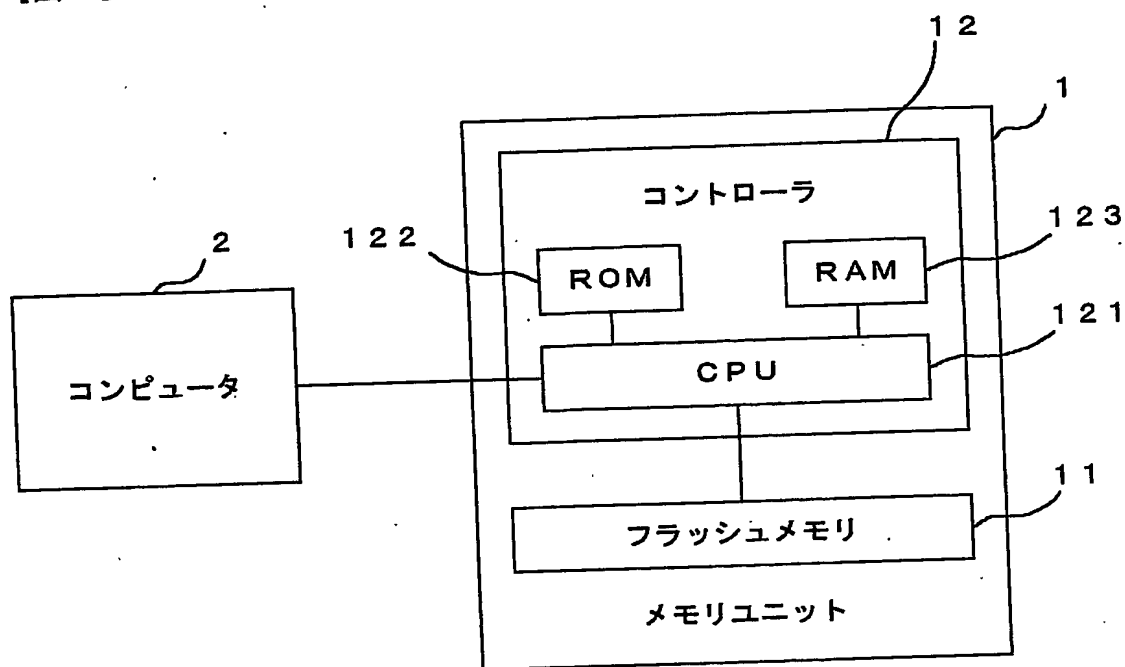
図 1 の記憶システムの変形例の構成を示すブロック図である。

【符号の説明】

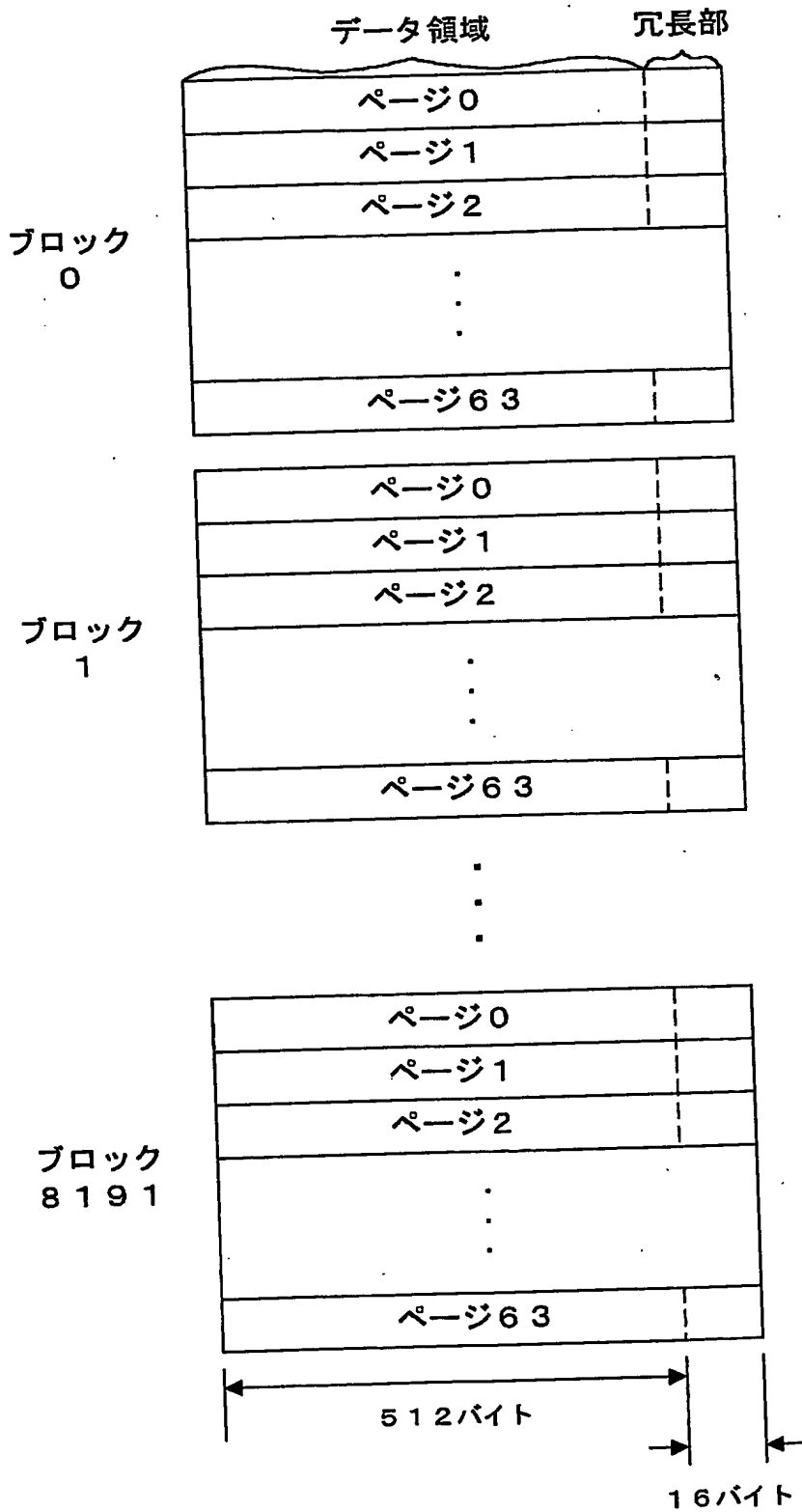
- | | |
|-------|----------|
| 1 | メモリユニット |
| 1 1 | フラッシュメモリ |
| 1 2 | コントローラ |
| 1 2 1 | CPU |
| 1 2 2 | ROM |
| 1 2 3 | RAM |
| 2 | コンピュータ |

【書類名】 図面

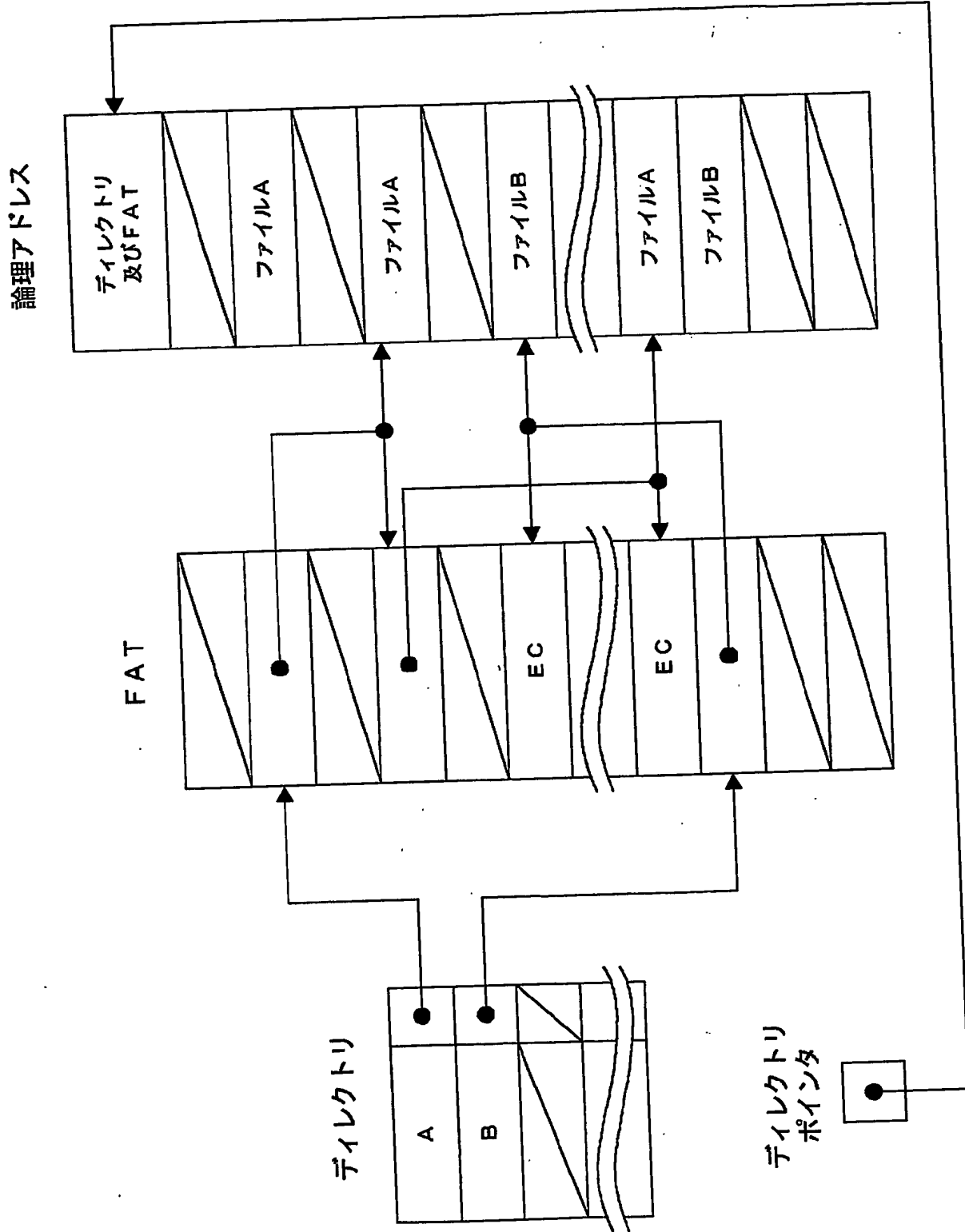
【図 1】



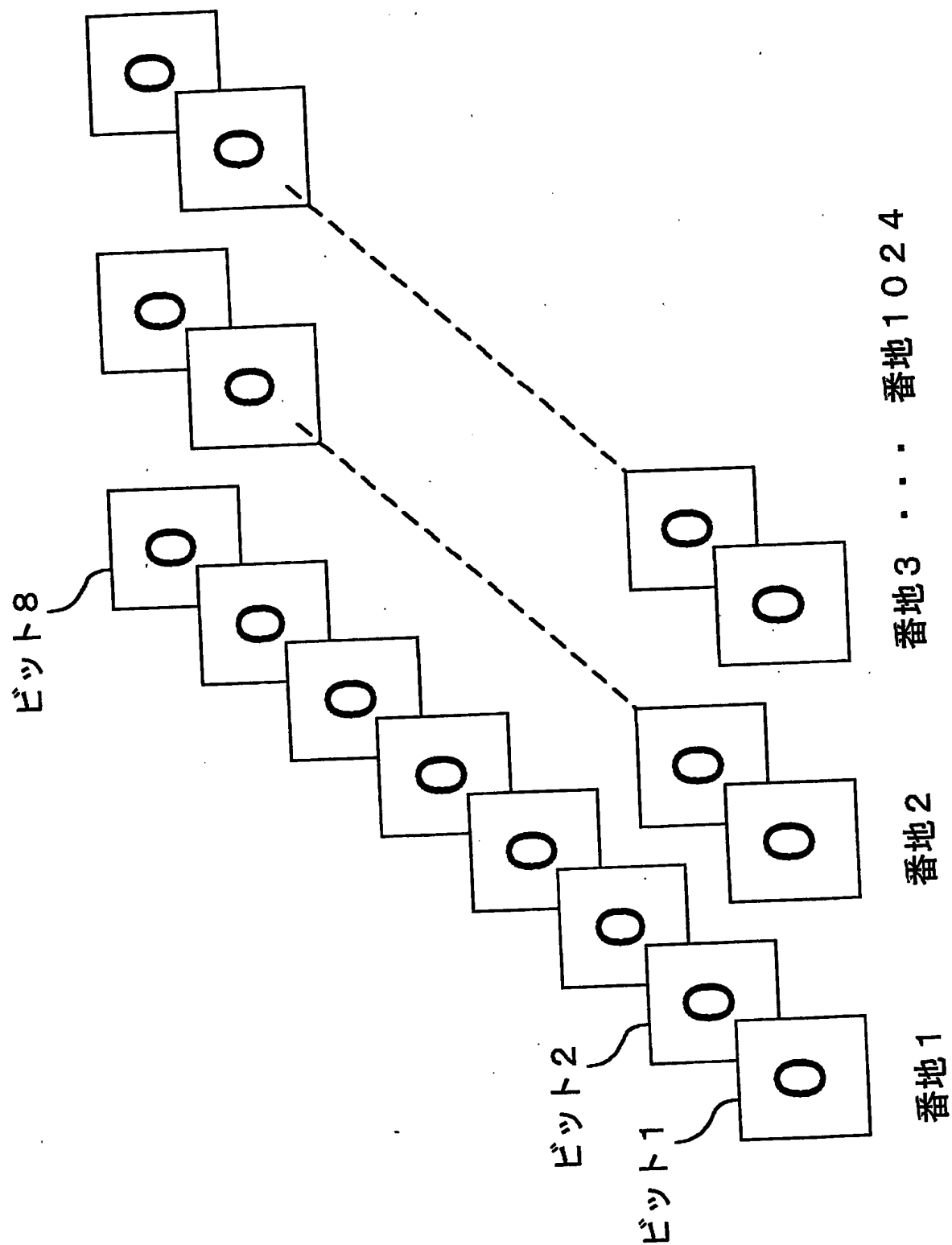
【図2】



【図3】



【図4】



【図5】

RAMの記憶領域の
アドレス

記憶内容（物理アドレス）

01000h

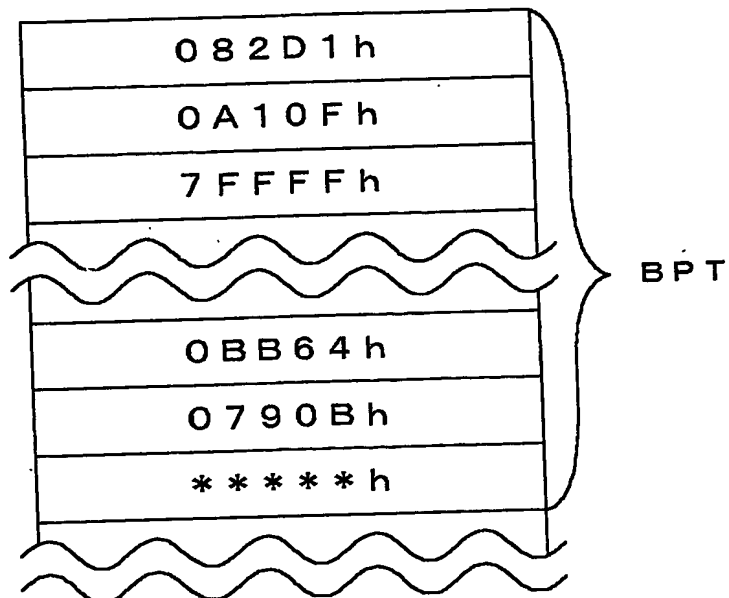
01001h

01002h

613E7h

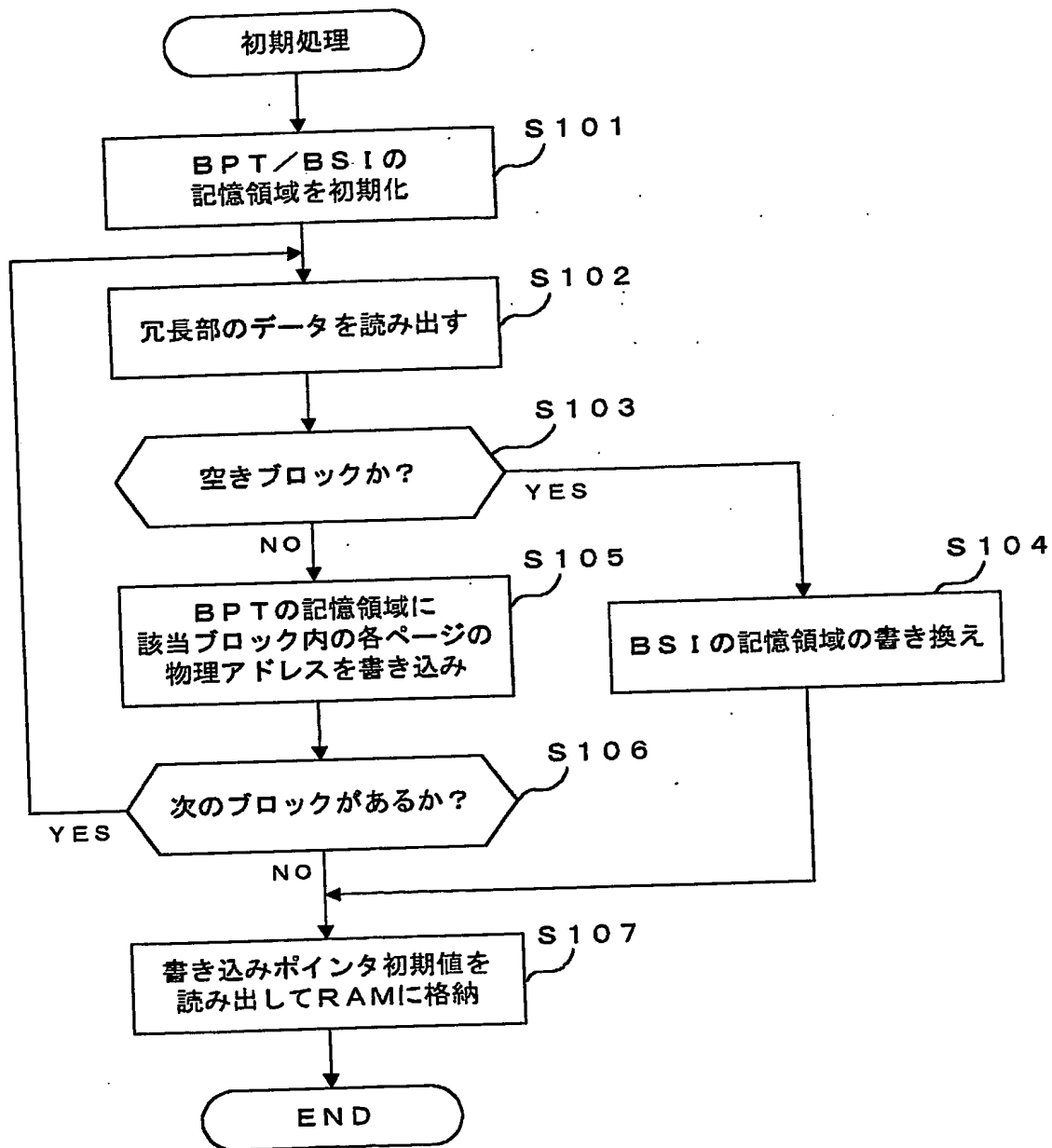
613E8h

613E9h

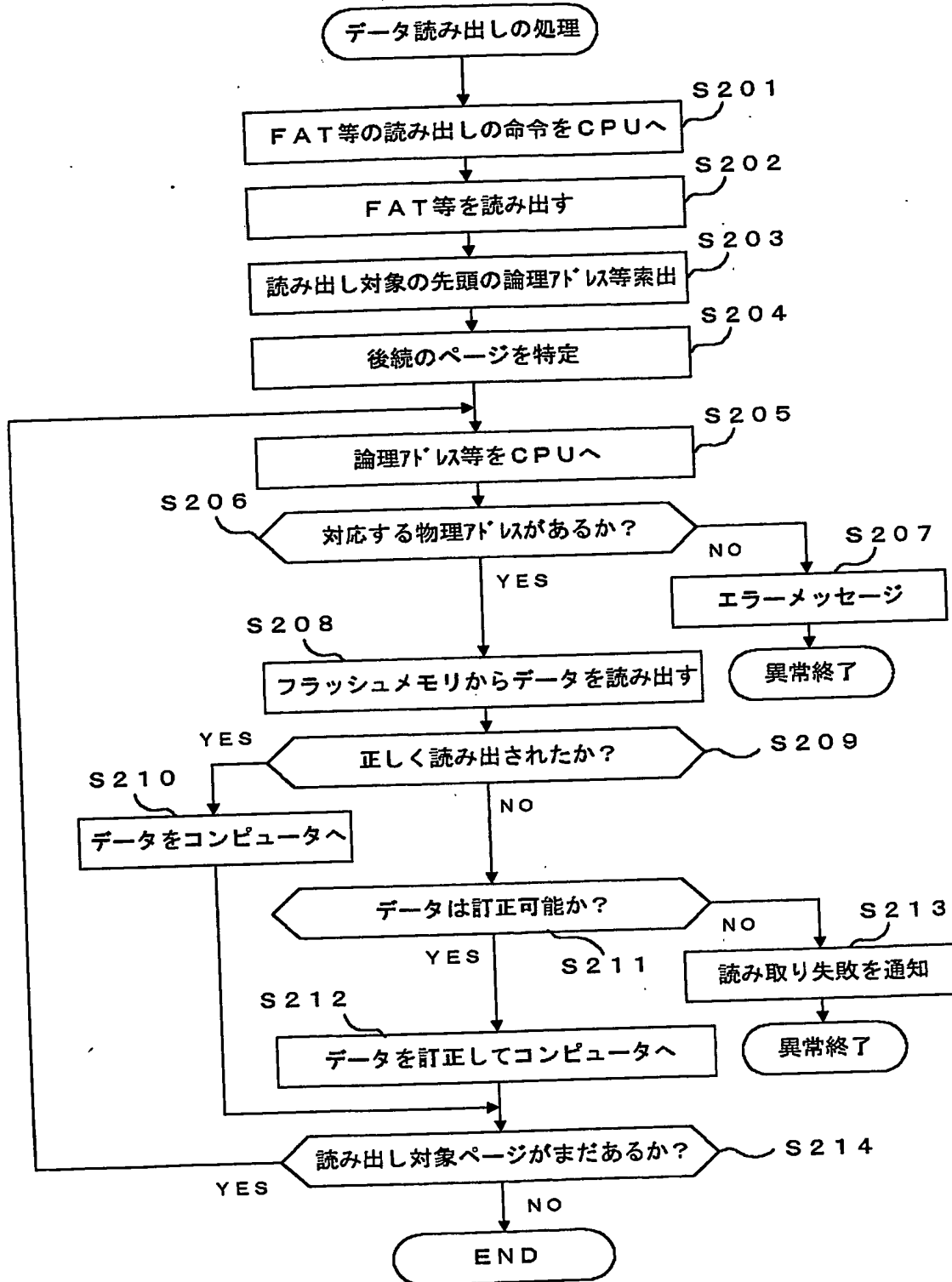


(BPTを格納するRAMの記憶領域のアドレス)
= (論理ブロックアドレス) + 1000h

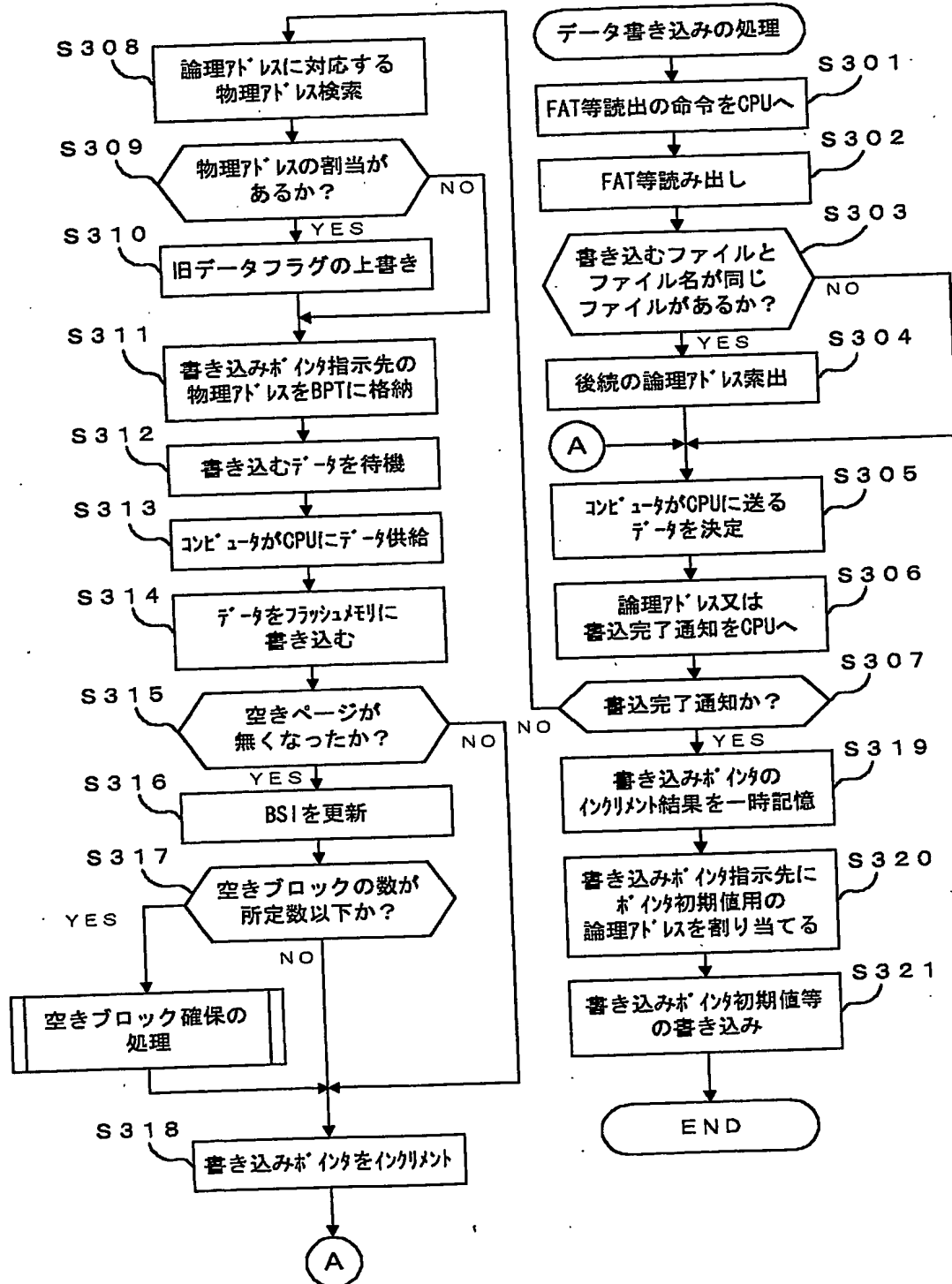
【図6】



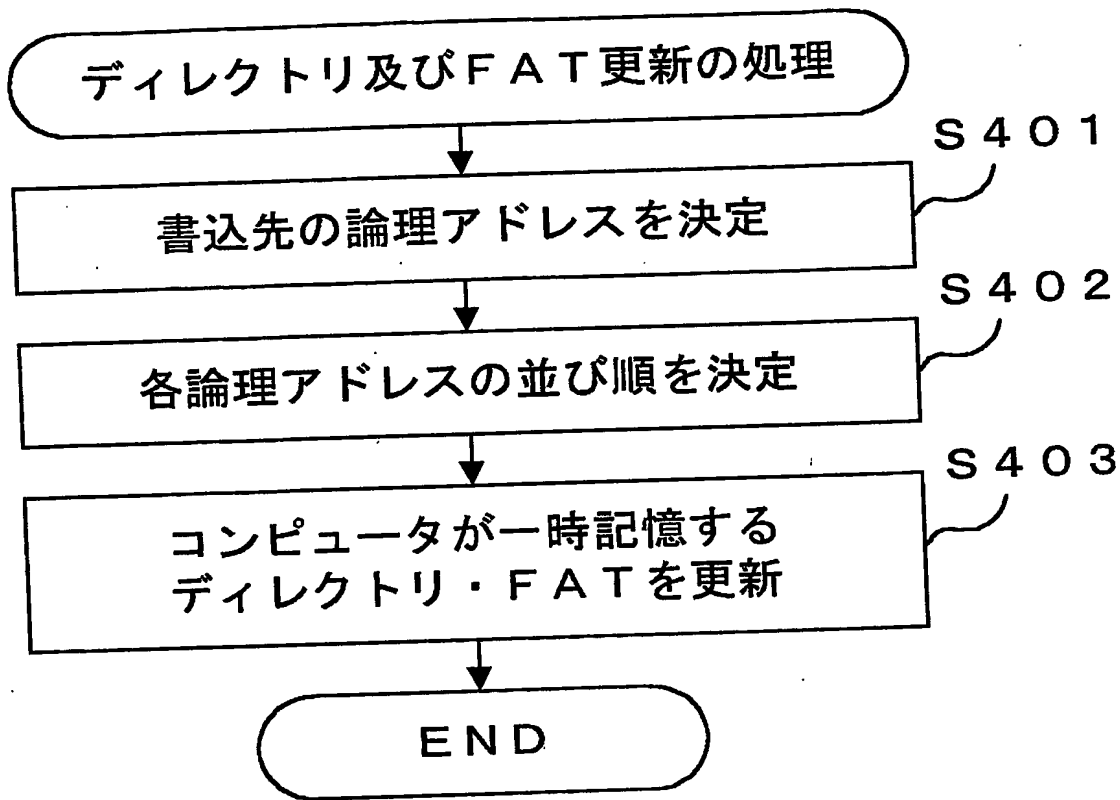
【図 7】



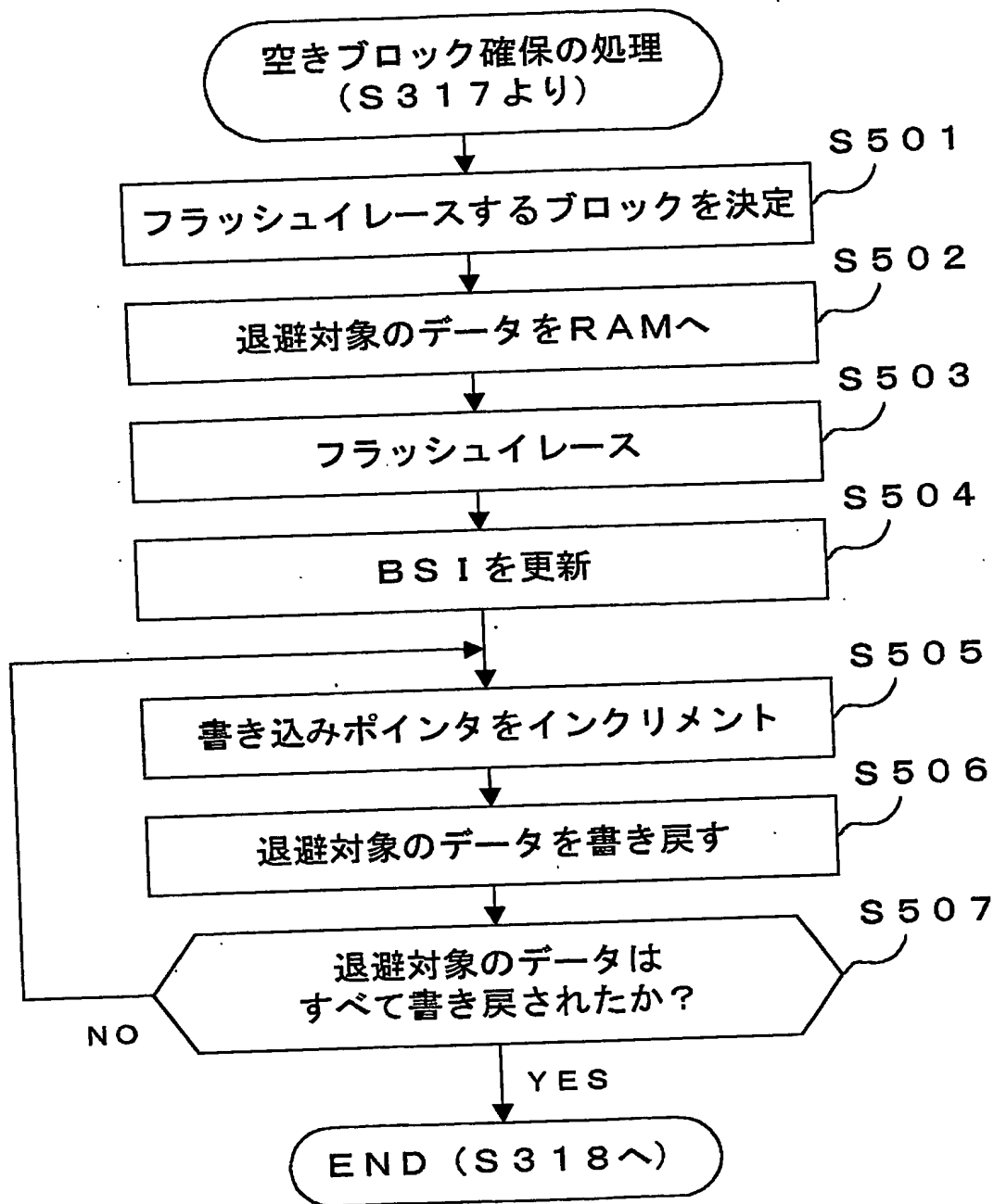
【図8】



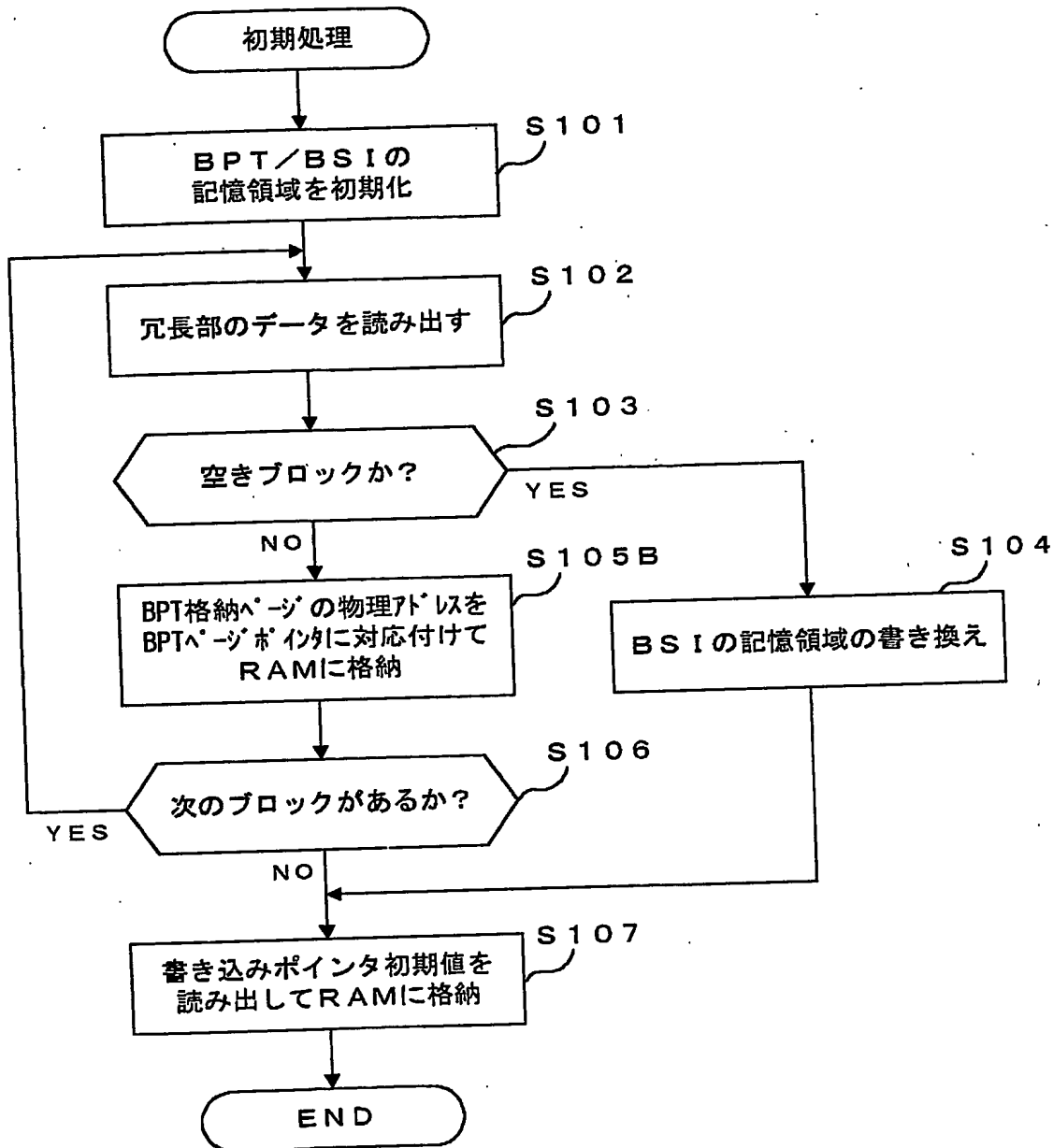
【図9】



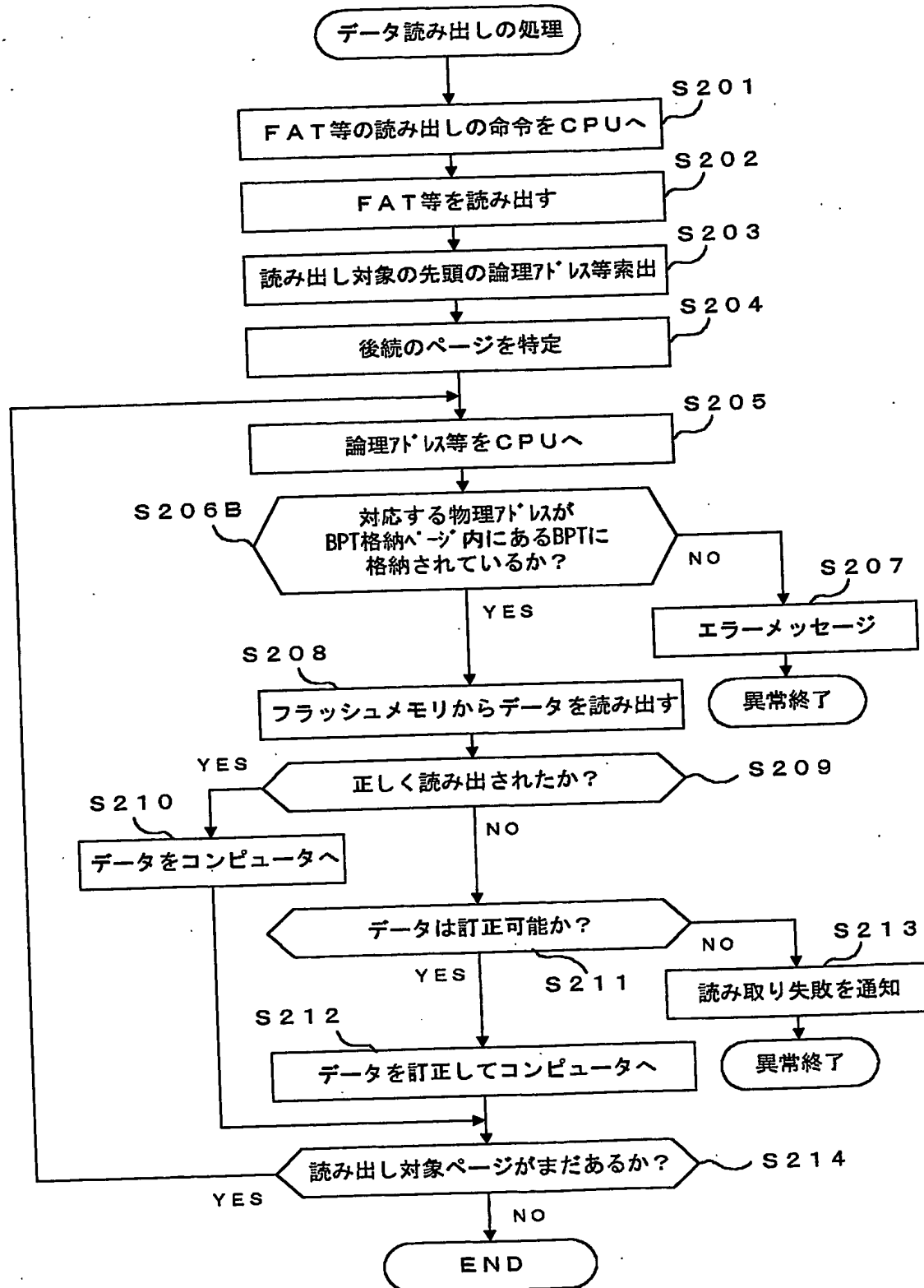
【図10】



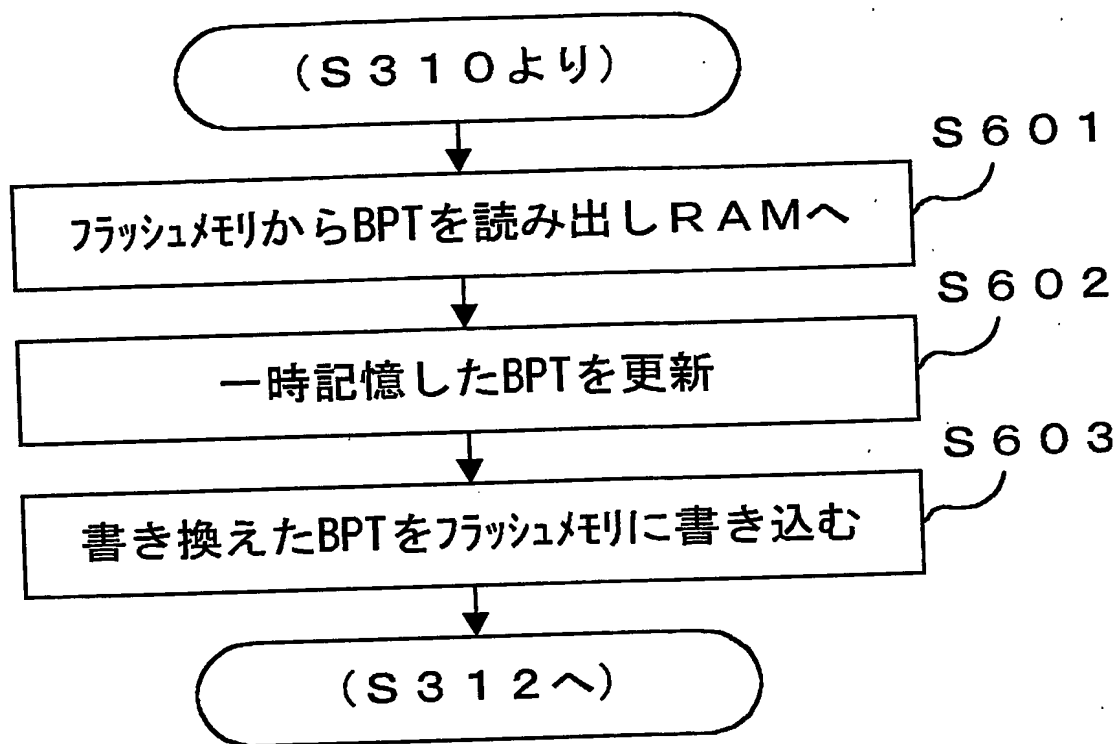
【図11】



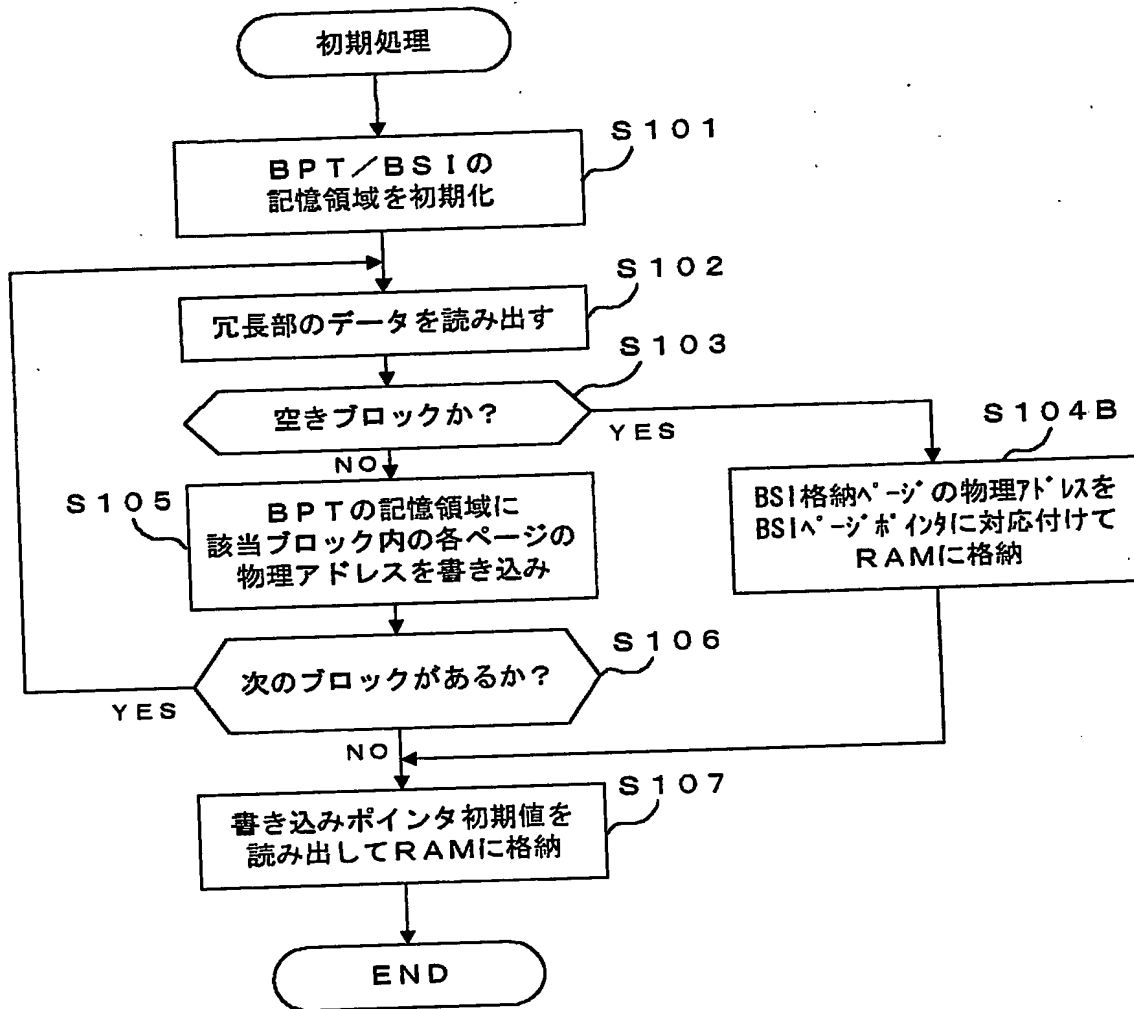
【図12】



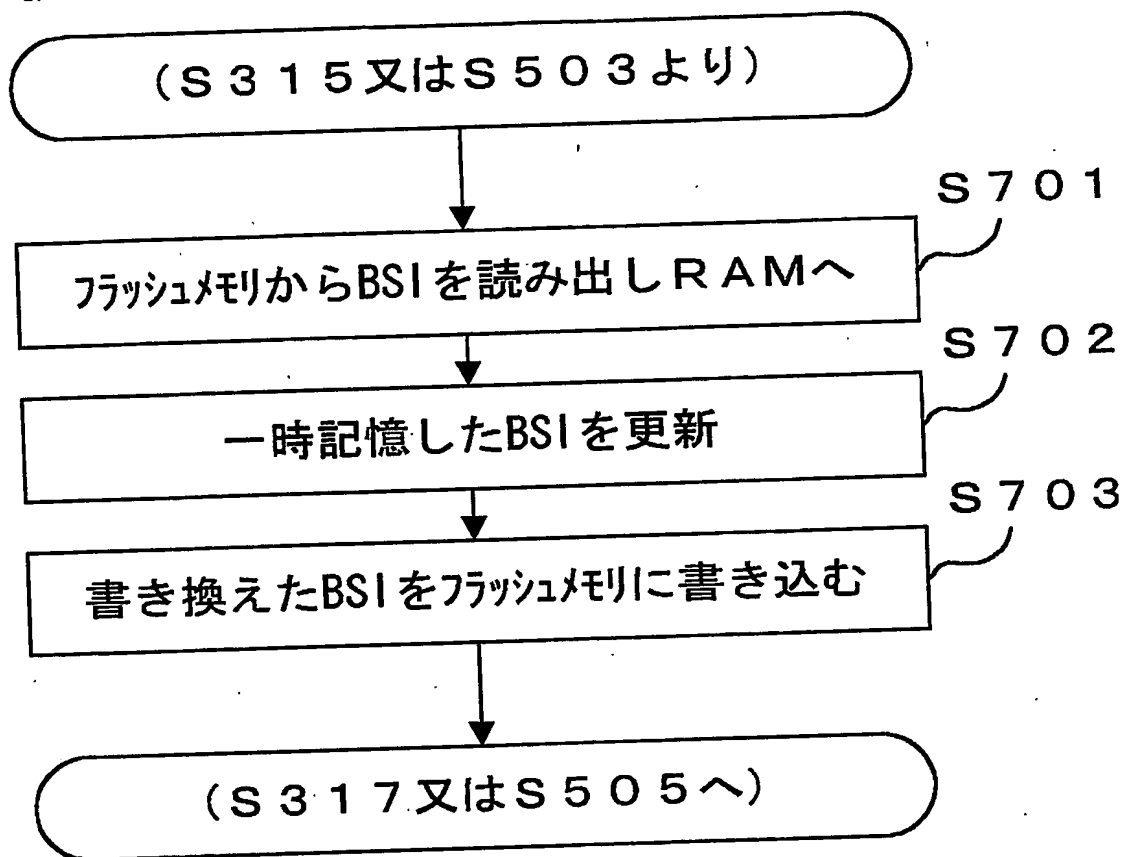
【図13】



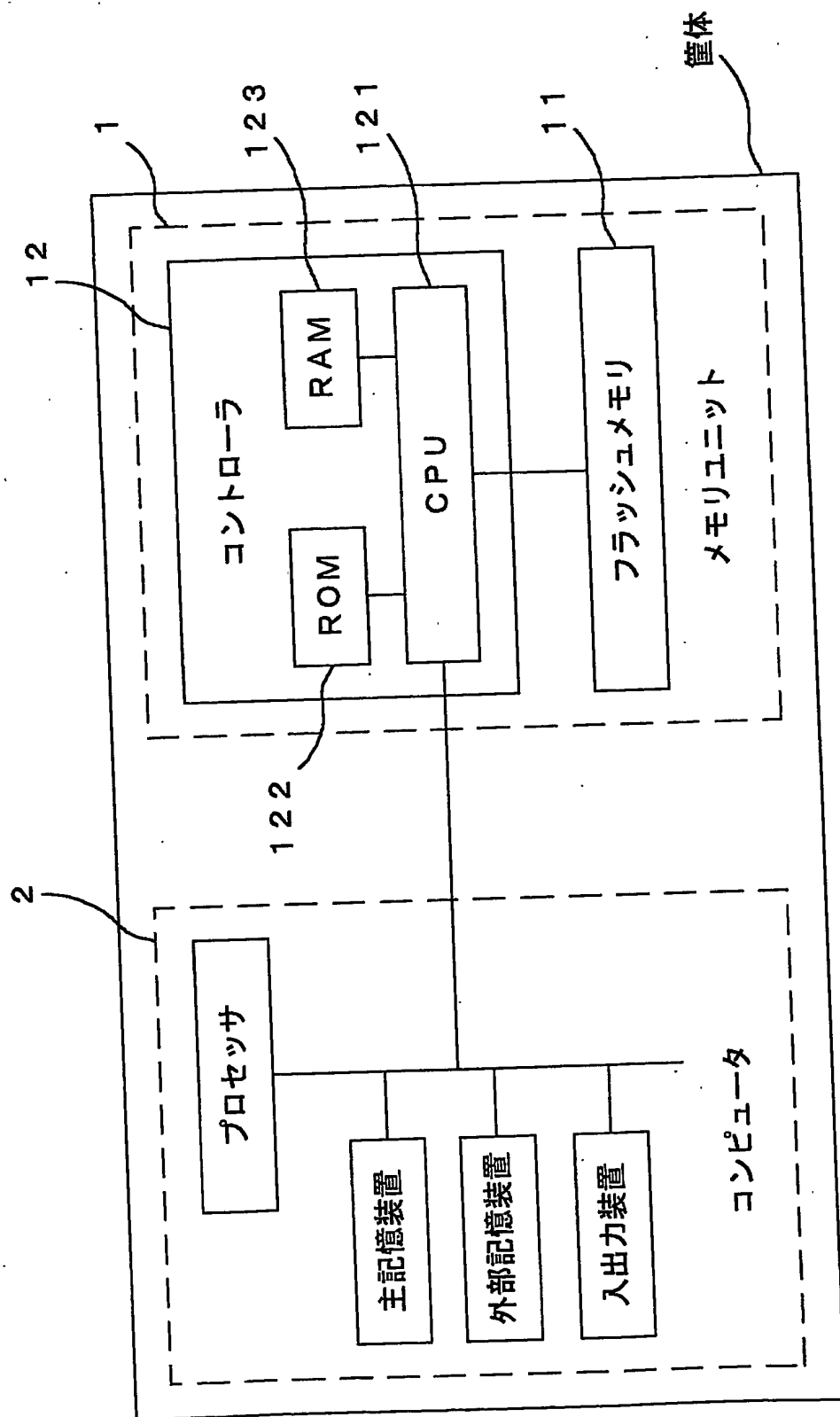
【図14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 劣化が起きにくい記憶装置や、記憶装置の劣化を起しにくいメモリ管理方法を提供することである。

【解決手段】 フラッシュメモリ 1 1 の記憶領域には、消去の単位であるブロックより小さな単位であるページ毎に物理アドレスが与えられる。CPU 1 2 1 は、書き込む対象のデータと書込先の論理アドレスとを供給されると、物理アドレス順にインクリメントされる書き込みポインタが示すページにこのデータを書き込み、供給された論理アドレスを、このページに与える。このページの物理アドレス及び論理アドレスの対応関係は B P T (Block Pointer Table) の形で RAM 1 2 3 に記憶される。読み出し時は、論理アドレスを供給された CPU 1 2 1 が B P T を検索してこの論理アドレスに対応付けられた物理アドレスを特定し、特定した物理アドレスを与えられたページから、データを読み出す。ブロックのフラッシュイレースは、空きブロック数が所定数以下になったとき行う。

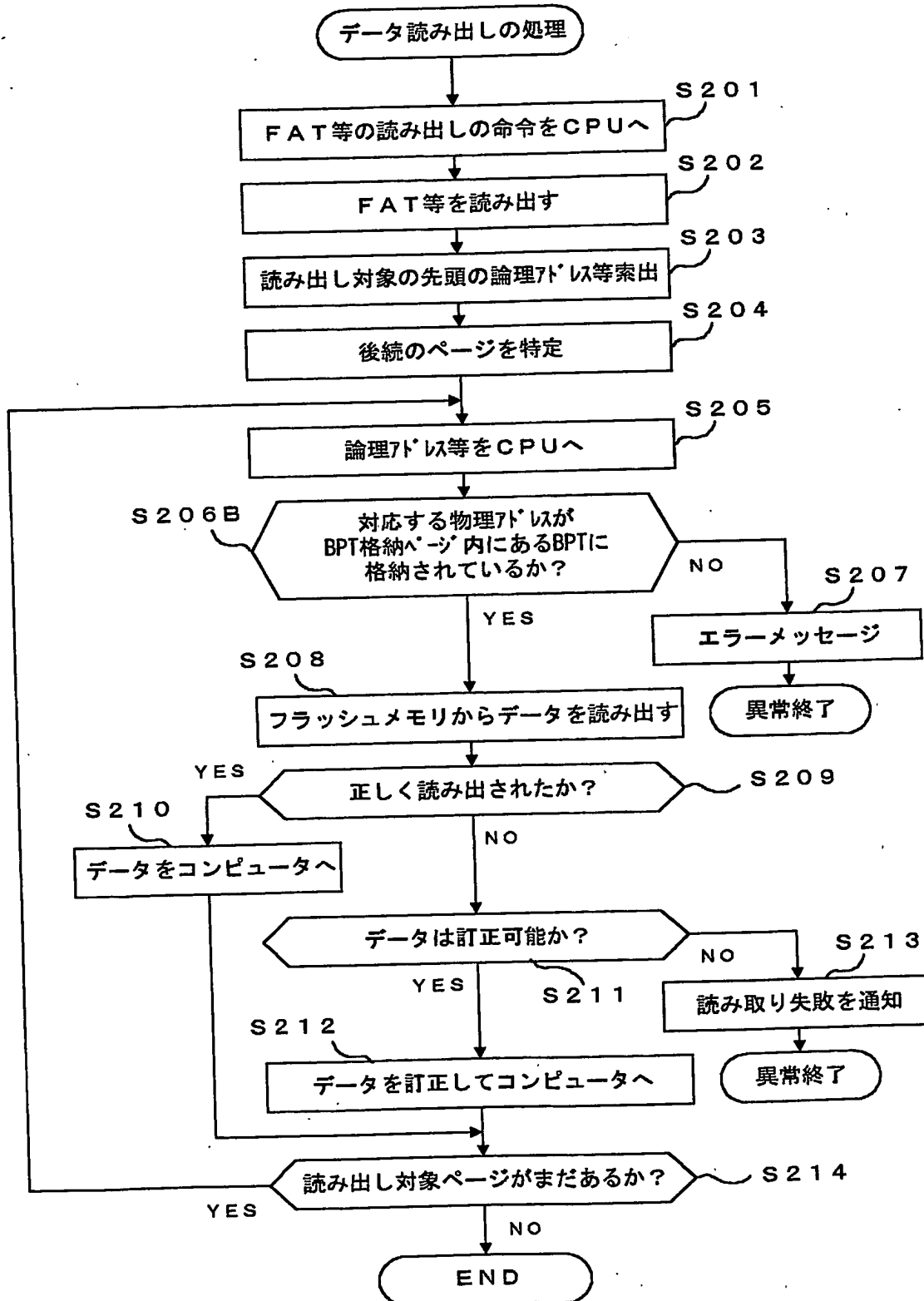
【選択図】 図 1

出 願 人 履 歴 情 報

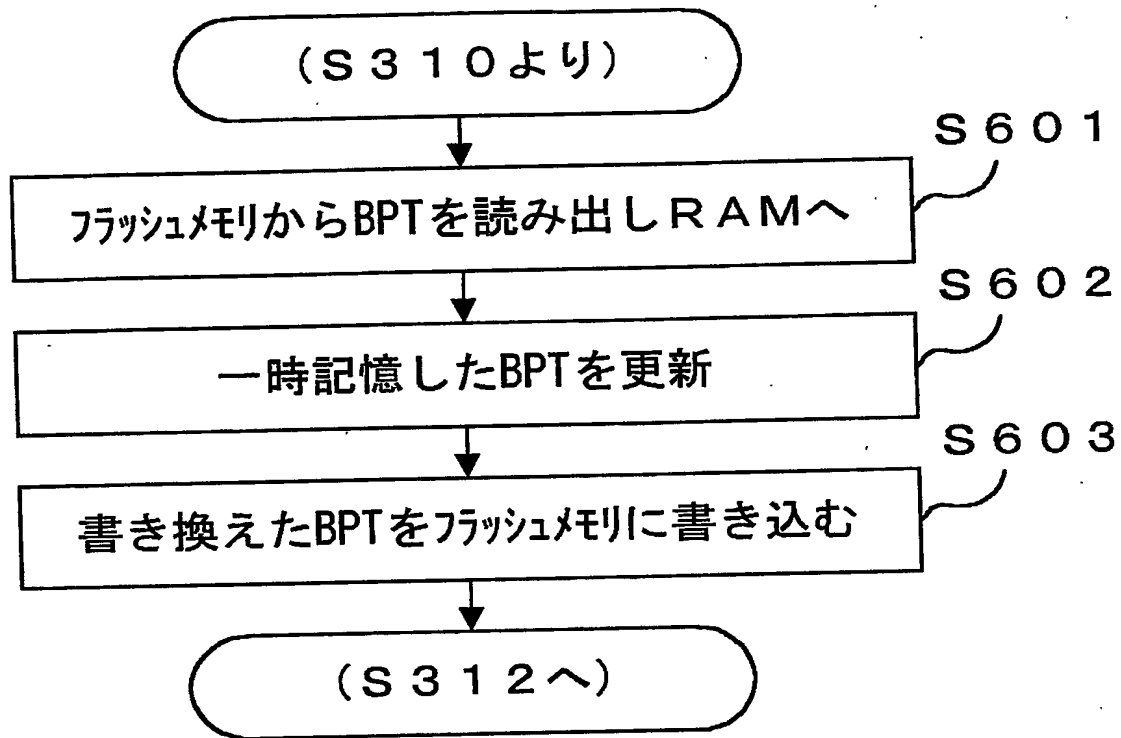
識別番号 [500323188]

1. 変更年月日 2000年 7月 7日
[変更理由] 新規登録
住 所 神奈川県横浜市都筑区東方町1番地
氏 名 東京エレクトロニクス株式会社

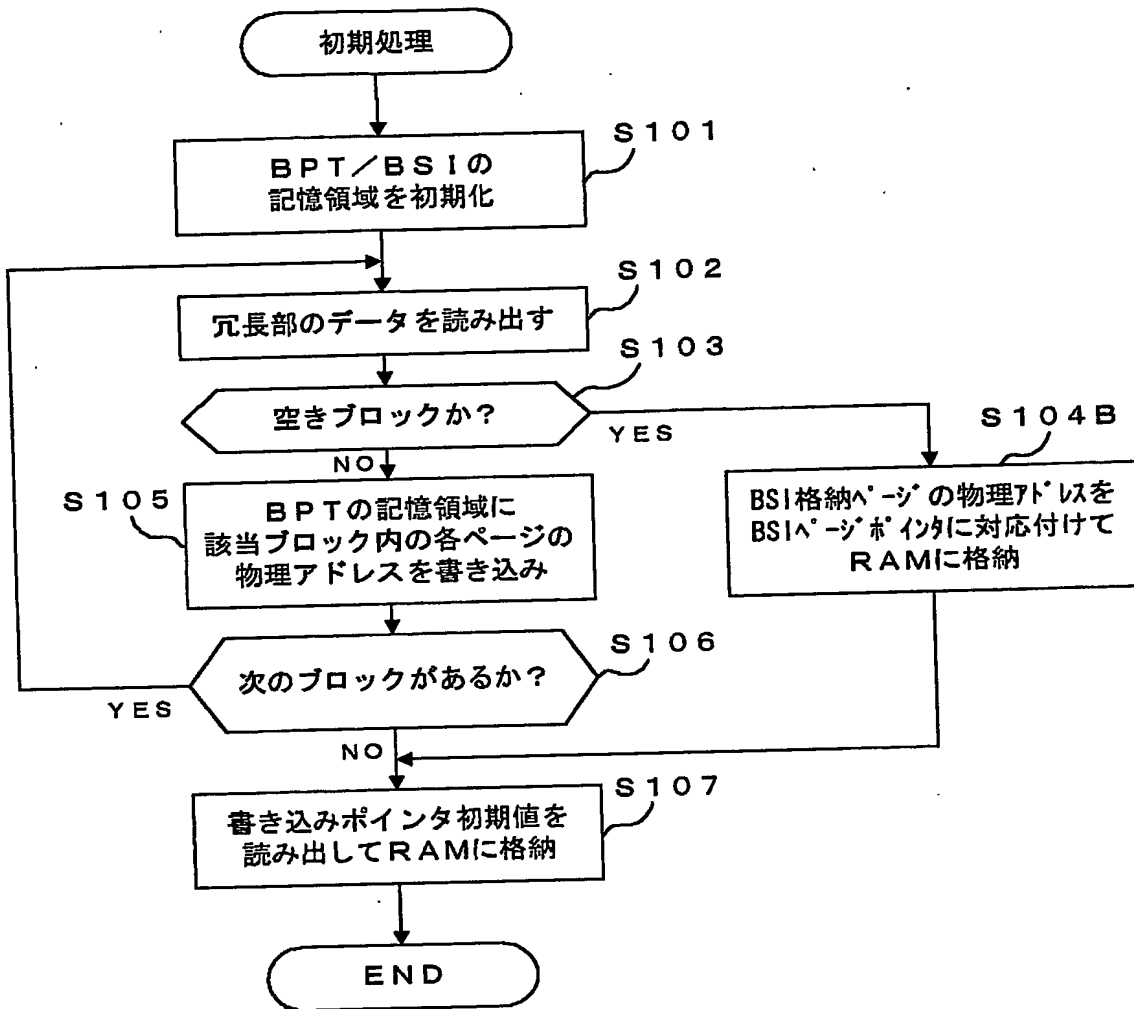
【図12】



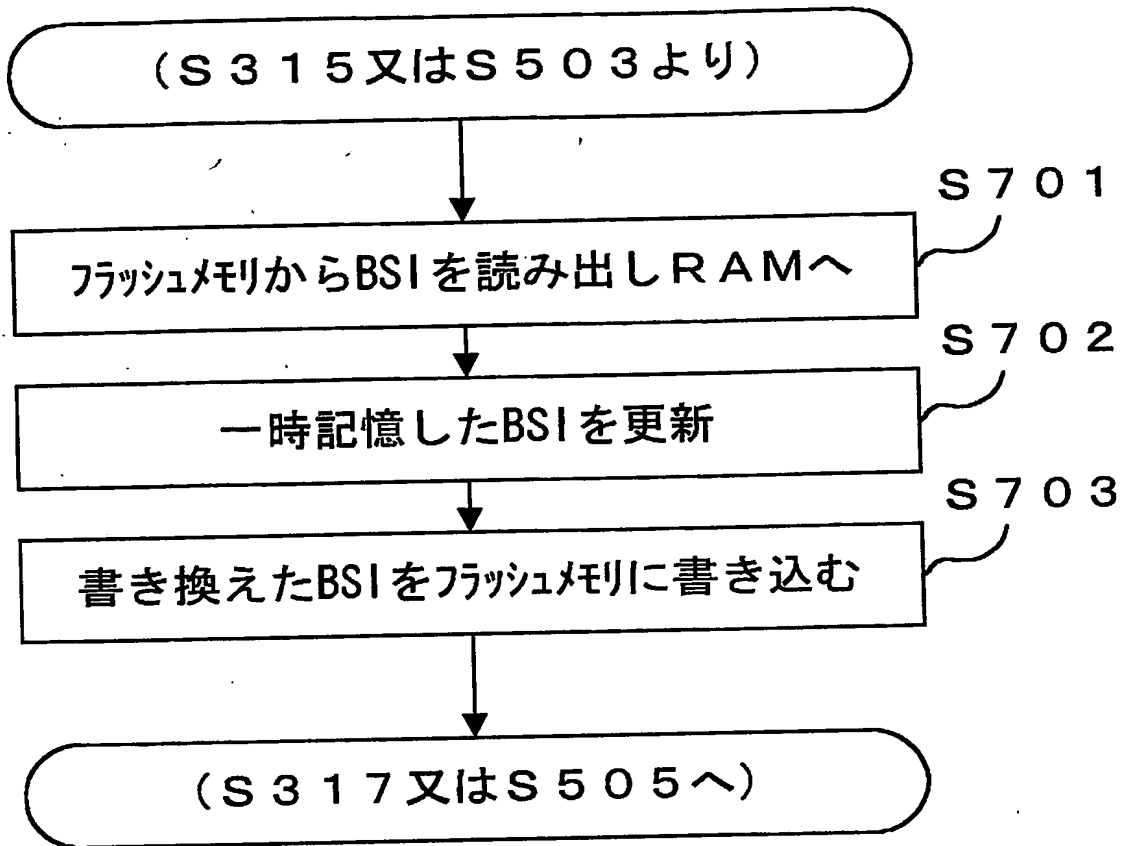
【図13】



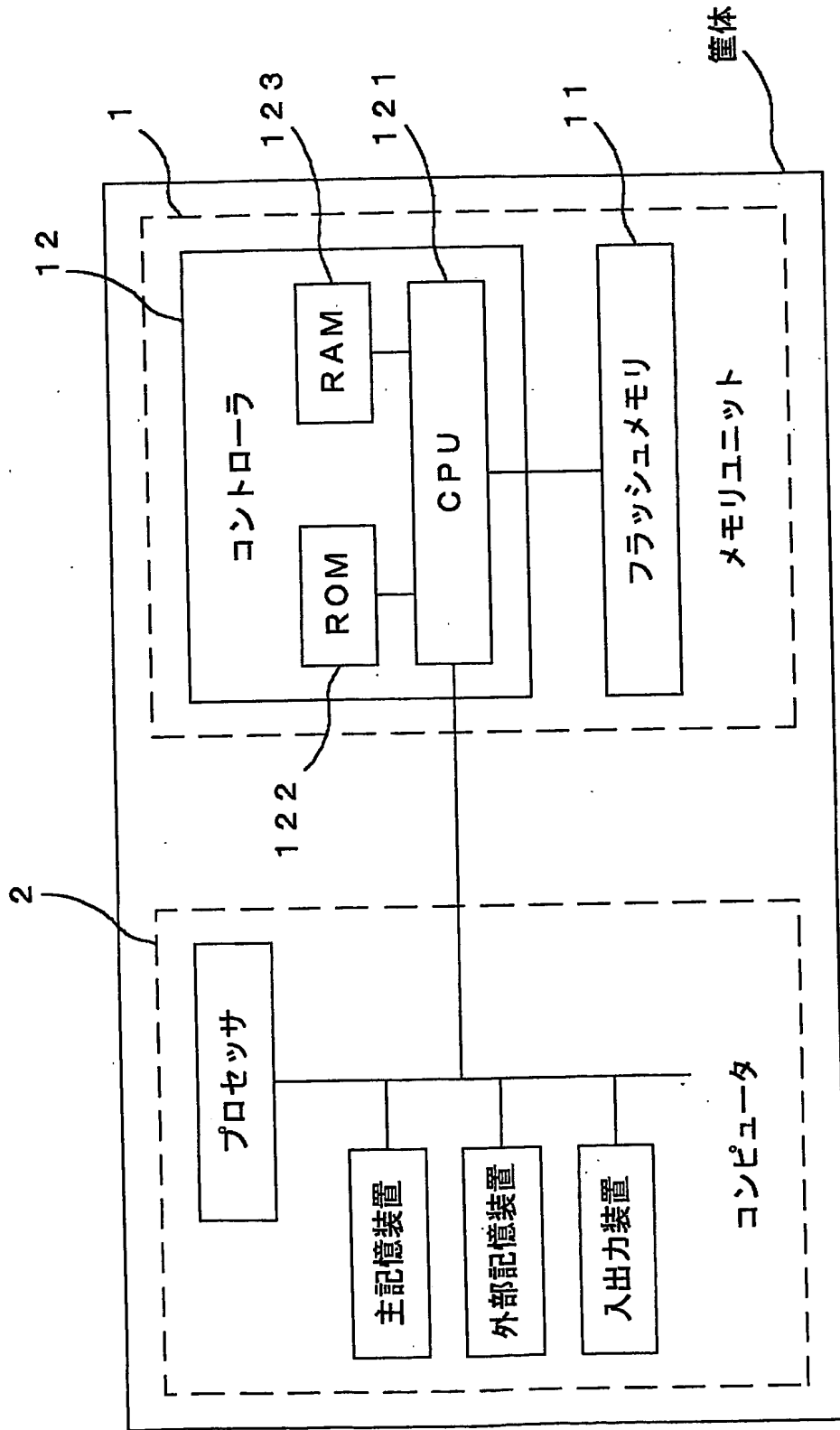
【図14】



【図15】



【図16】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.